

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : Masahiro SAITOH, et al.

Filed : Concurrently herewith

For : PROCESSOR FOR PROCESSING VARIABLE...

Serial No. : Concurrently herewith

March 26, 2001

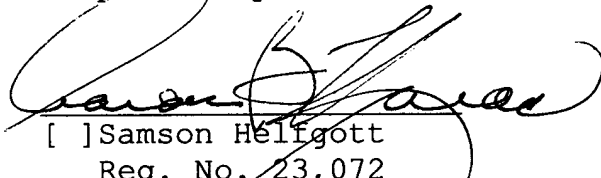
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith are Japanese patent application No.
2000-248696 of August 18, 2000 whose priority has been claimed
in the present application.

Respectfully submitted


[] Samson Helfgott
Reg. No. 23,072
[x] Aaron B. Karas
Reg. No. 18,923

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUJA 18.529
BHU:priority

Filed Via Express Mail
Rec. No.: EL522402490US
On: March 26, 2001
By: Brendy Lynn Belony
Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.

10971 U.S. PTO
09/817074
03/26/01

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC971 U.S. PTO
09/817074



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出 願 年 月 日
Date of Application:

2000年 8月18日

出 願 番 号
Application Number:

特願2000-248696

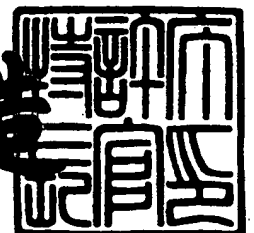
出 願 人
Applicant(s):

富士通株式会社

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0000596

【提出日】 平成12年 8月18日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04Q 3/00

【発明の名称】 可変長データ処理用プロセッサ

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 齋藤 雅博

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 ▲高▼田 修司

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 大場 康弘

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変長データ処理用プロセッサ

【特許請求の範囲】

【請求項 1】 1ワード単位でビット毎にデータの演算を行う複数の演算回路を含むプロセッサであって、

各ワード内のデータを、被演算対象のデータとそれ以外の非演算対象のデータとに区分するためのビット指定を行う処理マスク制御部と、

前記処理マスク制御部による前記ビット指定に従い、前記被演算対象のデータについては当該ビット対応で前記演算回路による演算処理を行ってその演算結果を取り出す機能および前記非演算対象のデータについては当該ビット対応で前記演算回路をスルーさせる機能のいずれかの機能を択一的に有効にする出力選択部と、

を具備することを特徴とする可変長データ処理用プロセッサ。

【請求項 2】 1ワード単位でビット毎にデータの演算を行う複数の演算回路を含むプロセッサであって、

隣接する前記演算回路間で一方の演算回路から発生したキャリーを他方の演算回路に伝播するかしないかを各ビット対応で設定するためのキャリー伝播指定を行うキャリーマスク制御部と、

前記キャリーマスク制御部による前記キャリー伝播指定に従い、前記一方の演算回路からの前記キャリーを前記他方の演算回路に伝播させる機能および該他方の演算回路に該キャリーとして予め定めた固定論理を与える機能のいずれかの機能を択一的に有効にするキャリー選択部と、

を具備することを特徴とする可変長データ処理用プロセッサ。

【請求項 3】 1ワード単位でビット毎にデータの演算を行う複数の演算回路を含むプロセッサであって、

前記演算回路間で一方の演算回路から発生したキャリーを他方の演算回路に伝播させるためのキャリー分配部を具備することを特徴とする可変長データ処理用プロセッサ。

【請求項 4】 1ワード単位でビット毎にデータの演算を行う複数の演算回

路を含むプロセッサであって、該プロセッサは、

各該演算回路に入力すべき第 1 ワード内の被演算対象のデータを一旦格納する第 1 レジスタと、

各該演算回路に入力すべき第 2 ワード内の被演算対象のデータを一旦格納する第 2 レジスタと、を具備し、かつ、

該第 1 および第 2 レジスタにそれぞれ格納されたデータを、各ビット位置を揃えて複数のビット同士で同時にビットの入替えを行うビットスイッチ部を備えることを特徴とする可変長データ処理用プロセッサ。

【請求項 5】 相互に同一構成を有し、かつ、1 ワード単位でビット毎にデータの演算を行う複数の演算回路を含むサブプロセッサを複数並列に接続してなるプロセッサであって、

被演算対象の前記データのデータ長が前記 1 ワードのビット長を超えるとときに有効となり、隣接する一方の前記サブプロセッサ内の前記演算回路から発生したキャリーを他方の前記サブプロセッサ内の前記演算回路に伝播させると共に、前記他方のサブプロセッサ内の演算回路から発生したキャリーを前記一方のサブプロセッサ内の演算回路に伝播させるキャリー入出力インタフェース部を、各前記サブプロセッサ毎に設けることを特徴とする可変長データ処理用プロセッサ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、I P, A T M, S D H 等に代表されるデータ通信において使用されるデータ、すなわちフレーム構造を持ったデータ、の処理に応用して好適な可変長データ処理用プロセッサに関する。

【0 0 0 2】

【従来技術】

通信用アプリケーションにおいては、高いリアルタイム性を要求されることが多く、また、データ処理の内容に応じて対象とするデータの幅やそのデータのフレーム内での収容位置が変化する、いわゆる可変長データを取り扱うことが多い。

【 0 0 0 3 】

例えば、ATM (Asynchronous Transfer Mode) やSDH (Synchronous Data Hierarchy) 等のデータ通信においては、伝送すべきパケットのヘッダ内から特定のビットだけを切り出して処理を行っている。また、近年急速に発展しているIP (Internet Protocol) 通信では、伝送すべきパケット内の可変長のヘッダを処理する等、可変長データを処理することが必須となる通信用アプリケーションの需要が高まっている。

【 0 0 0 4 】

従来、上述のような通信用アプリケーションの開発に不可欠なLSIの設計においては、専用のハードウェアを組み上げることにより、そのLSIを実現するということが行われていた。

しかしそのような専用のハードウェアからなるLSIを用いると、アプリケーション上の機能変更、機能追加、仕様変更等に対する柔軟性がきわめて低くなり、そのような変更や追加がなされたLSIが元のLSIとかなり近似した機能を持つLSIであるにも拘らず、新たに当該LSIの再開発を行う必要があった。このため、その再開発によってコストが増大したり、また、即応性 (Time-to-Market) に対処できなくなったりしている。

【 0 0 0 5 】

このような背景のもとで近年、プロセッサを内蔵することによりプログラム処理が可能なLSIが出現するようになった。このようにプロセッサを内蔵して処理機能毎のプログラムを用意することにより、複数のプロトコル処理を1つのLSIで行うことができるようになった。さらに、プログラムを変更するだけで、上述した機能変更、機能追加、仕様変更等にも柔軟に対応することができるようになった。

【 0 0 0 6 】

しかしながら、通信用アプリケーションを、プロセッサ単体を核とする上記のLSIで実現することは、その通信の実行に要求される処理速度を達成する上で、現状では、ほとんど不可能である。特にその通信のために必要となる、インタ

リーブ／デインタリーブに代表されるデータの符号化／復号化におけるビットの交換処理を行う場合や、使用するデータの収容ビット位置やデータ幅が可変であるようなデータの処理を行う場合に、既述したプロセッサ内臓のLSIでは、上述した要求処理速度を満足することは非常に難しい。

【0007】

その理由は、上記のLSI内のプロセッサが、可変長データの処理に対応しておらず、固定長データのみを扱う構成となっているからである。このような状況により、既存のプロセッサを用いて可変長データの処理を行おうとすると、処理対象となるデータのロード、データ位置合わせのためのシフト、処理に不要なビットのマスク等、のデータに対する加工処理（前処理）がどうしても必要となる。結局このようなデータの加工処理が、上記LSIを実用化する上でのボトルネックとなっている。

【0008】

【発明が解決しようとする課題】

かくして現状の可変長データ処理用プロセッサにおいては、

1) 1ワード中の任意のフィールドに対するデータ処理を行うために、データのシフト命令とマスク命令の組合せによるデータの前処理が必要となる、という第1の問題がある。

【0009】

2) その第1の問題に起因して、上記前処理用の命令も必要となり、1処理に必要とされるインストラクションメモリの容量が増大してしまう、という第2の問題がある。

3) もともと通信用としては高速処理が要求されるが、処理の内容によってさらに高速処理が要求されるような場合には、上述したデータの加工処理（前処理）だけを行うための専用のハードウェアを追加しなければならない、という第3の問題がある。

【0010】

したがって本発明は上記諸問題点を同時に解決することのできる可変長データ処理用プロセッサを提供することを目的とするものである。

【 0 0 1 1 】

【課題を解決するための手段】

図 1 は本発明に係るプロセッサの第 1 の主要部を示す図である。

本図において、参照番号 1 は本発明に係る可変長データ処理用プロセッサ（以下、単にプロセッサとも称す）を示し、大きく分けて、演算装置 2 と、出力選択部 3 と、処理マスク制御部 4 とからなる。

【 0 0 1 2 】

まず本発明のプロセッサ 1 は、1 ワード単位でビット毎にデータの演算を行う複数の演算回路（ALU）5 を含むプロセッサである。

処理マスク制御部 4 は、各ワード W 内のデータを、被演算対象のデータとそれ以外の非演算対象のデータとに区分するためのビット指定を行う。

また出力選択部 3 は、処理マスク制御部 4 による上記のビット指定に従い、上記の被演算対象のデータについては当該ビット対応で演算回路 5 による演算処理を行ってその演算結果を取り出す機能および上記の非演算対象のデータについては当該ビット対応で演算回路 5 をスルーさせる機能のいずれかの機能を択一的に有効にする。

【 0 0 1 3 】

なお図 1 において、各記号の意味は下記のとおりである。

A l s b : 入力 A の最下位ビット (least significant bit)

B l s b : 入力 B の最下位ビット

A m s b : 入力 A の最上位ビット (most significant bit)

B m s b : 入力 B の最上位ビット

A L U 0 : 最下位ビットの演算回路 (5) (Arithmetic and Logic Unit)

A L U n : 最上位ビットの演算回路 (5)

C o 1 s b : 最下位ビットのキャリー出力 (carry out)

S l s b : 最下位ビットの演算結果

S m s b : 最上位ビットの演算結果

ここで、入力 A とは外部から与えられる通信対象のデータ（ワード W）のことであり、入力 B とはプロセッサ 1 内の例えばテーブルに格納されているデータの

ことである。また入力Aのうち、被演算対象のデータ（ビットデータ）については、一例として、図中、ハッチングを付して示す。

【0014】

さらに具体的には、処理マスク制御部4は、各ワードW内の各ビット（A1sb, A1, A2…）が、被演算対象のビットであるか非演算対象のビットであるかを、各ビット対応に指定するための論理1または0を格納する処理マスクレジスタ7を有している。

なお、処理マスクレジスタ7への上述した論理1または0の格納は、演算回路5による処理を実行するのに先立って外部から設定する。

【0015】

また出力選択部3は、各ビット対応に、演算回路5からの上記の演算結果およびこの演算回路5をスルーした非演算対象のデータの双方を入力してこれらを選択的に選択して出力する出力セレクタ6からなり、各出力セレクタ6は処理マスクレジスタ7からの上記の論理1または0（図中の1/0）に従ってその選択を行うようにする。

【0016】

なお、上記の演算結果は図中のライン8を転送され、上記のスルーのときは図中のライン9を通してデータを転送する。

図2は本発明に係るプロセッサの第2の主要部を示す図である。なお全図を通じて同様の構成要素には同一の参照番号または記号を付して示す。

本図において、プロセッサ1は図1と同じく、複数の演算回路（ALU）5を含む演算装置2を有している。ライン8も図1と同様であるが、ライン9は必要に応じて設ける。

【0017】

本図に示す第2の主要部は、大きく分けて、キャリー選択部11と、キャリーマスク制御部12とからなる。

キャリーマスク制御部12は、隣接する演算回路（5）間で一方の演算回路から発生したキャリー（C00, C01…）を他方の演算回路に伝播するかしないかを各ビット対応で設定するためのキャリー伝播指定を行う。

【 0 0 1 8 】

またキャリー選択部 1 1 は、キャリーマスク制御部 1 2 による上記のキャリー伝播指定に従い、一方の演算回路 5 からのキャリーを他方の演算回路 5 に伝播させる機能およびその他方の演算回路にキャリーとして予め定めた固定論理（図では 0 で示す）を与える機能のいずれかの機能を択一的に有効にする。

さらに具体的には、キャリーマスク制御部 1 2 は、キャリーの伝播を行うか固定論理（図中の 0）を与えるかを、各ビット対応に指定するための論理 1 または 0 を格納するキャリーマスクレジスタ 1 4 を有している。

【 0 0 1 9 】

なおキャリーマスクレジスタ 1 4 への論理 1 または 0 の格納は、演算回路 5 による処理を実行するのに先立って外部から設定する。

またキャリー選択部 1 1 は、具体的には、各ビット対応に、演算回路 5 からのキャリーおよび上記の固定論理（0）の双方を入力してこれらを択一的に選択して出力するキャリーセクタ 1 3 からなり、各キャリーセクタ 1 3 はキャリーマスクレジスタ 1 2 からの上記の論理 1 または 0（図中の 1 / 0）に従ってその選択を行うようにする。

【 0 0 2 0 】

図 3 は図 2 に示す第 2 の主要部の第 1 変形例を示す図であり、

図 4 は図 2 に示す第 2 の主要部の第 2 変形例を示す図である。

まず図 3 を参照すると、図 2 のキャリー選択部 1 1 に代えてキャリー分配部 2 1 が示されている。このキャリー分配部 2 1 は、演算回路（5）間で一方の演算回路から発生したキャリーを他方の演算回路に伝播させるためのものである。

【 0 0 2 1 】

さらに具体的には、キャリー分配部 2 1 は、各ビット対応に、各演算回路 5 から発生したキャリー（C o 0, C o 1 …）を入力とし、予め定められた 1 のキャリーを選択して（C i 0, C i 1 …）、各ビット対応の演算回路 5 に伝播させるキャリーセクタ 2 3 からなる。そしてさらにキャリー分配設定部 2 2 を有するのが好ましい。

【 0 0 2 2 】

このキャリー分配設定部 2 2 は、各キャリーセクタ 2 3 に対し、いずれの演算回路 5 から発生したキャリー（C o 0, C o 1 …）を選択すべきかを予め定めて、指定するものである。

このキャリー分配部 2 2 は、図 2 に示すキャリーマスクレジスタ 1 4 に相当するが、このレジスタ 1 4 は 1 ビットの選択情報 1 / 0 でよいのに対し、図 3 の第 1 変形例においては、複数ビット（2 ビット以上）に対応するキャリー（C o 0, C o 1 … C o n）の中から 1 つを選択する必要があるのでこの選択情報を転送するライン 2 4 は多ビットラインとなる。

【 0 0 2 3 】

次に図 4 を参照して第 2 変形例について見てみると、キャリー選択部 1 1（図 2 の 1 1 に相当）は、一方の演算回路 5 からのキャリー（C o 0, C o 1 …）として、過去の演算処理で発生したキャリーを記憶する記憶素子（例えば、レジスタ）2 5 からのキャリーを選択する機能も加えて選択を行うことができる。なお、この第 2 変形例の適用の仕方については後述する（図 1 3）。

【 0 0 2 4 】

図 5 は本発明に係るプロセッサの第 3 の主要部を示す図である。

本図に示すように、プロセッサ 1 は、各演算回路 5 に入力すべき第 1 ワード W 1 内の被演算対象のデータを一旦格納する第 1 レジスタと、各演算回路 5 に入力すべき第 2 ワード W 2 内の被演算対象のデータを一旦格納する第 2 レジスタと、を具備している。

【 0 0 2 5 】

第 3 の主要部の特徴は、ビット交換スイッチ部 3 3 にある。このビットスイッチ部 3 3 は、その第 1 および第 2 レジスタ 3 1, 3 2 にそれぞれ格納されたデータを、各ビット位置を揃えて複数のビット同士で同時にビットの入替えを行うものである。なお、図 5 では、ビットの入替えの対象となるデータの一例をハッチングを付して示す。

【 0 0 2 6 】

好ましくは上記ビットスイッチ部 3 3 は、図示するビット交換制御部 3 4 と協働する。すなわちこのビット交換制御部 3 4 は、ビットスイッチ部 3 3 によりビ

ット入替えをすべきビット位置を指定する。

さらに具体的には、このビット交換制御部 3 4 は、第 1 および第 2 ワード W 1、W 2 内の各ビットが、ビット入替えすべきビット位置か否かを、各ビット対応に指定するための論理 1 または 0 を格納するビット交換レジスタ 3 5 を有している。

【 0 0 2 7 】

なお、上記のビット入替えは例えばインタリーブ処理では不可欠なものであり、ビット交換レジスタ 3 4 への上記の論理 1 または 0 の格納は、演算回路 5 による処理を実行するのに先立って外部から設定する。

図 6 は本発明に係るプロセッサの第 4 の主要部を示す図である。

本図に示すプロセッサ 1 は、相互に同一構成を有し、かつ、1 ワード単位でビット毎にデータの演算を行う複数の演算回路 5 を含むサブプロセッサ 4 1 を複数（図では 2 つ）並列に接続してなるプロセッサである。これらサブプロセッサ 4 1 同士は、キャリア入出力インタフェース部 4 2 を介して接続されている。

【 0 0 2 8 】

このキャリア入出力インタフェース部 4 2 は、被演算対象のデータのデータ長が 1 ワード（W）のビット長を超えるとときに有効となり、隣接する一方のサブプロセッサ 4 1 内の演算回路 5 から発生したキャリアを他方のサブプロセッサ 4 1 内の演算回路 5 に伝播させると共に、その他方のサブプロセッサ 4 1 内の演算回路 5 から発生したキャリアをその一方のサブプロセッサ 4 1 内の演算回路 5 に伝播させるものである。

【 0 0 2 9 】

上記キャリア入出力インタフェース部 4 2 は好ましくはキャリアセレクタ 4 3 を有する。このキャリアセレクタ 4 3 は、各ビット対応に、各演算回路 5 から発生したキャリア（C 0 0、C 0 1 …）と隣接するサブプロセッサ 4 1（図中の右）内のいずれかの演算回路 5 から発生したキャリア C 0' とを入力とし、予め定められた 1 のキャリアを選択して各ビット対応の演算回路 5 に伝播させると共に、その選択されたキャリアを隣接するサブプロセッサ 4 1（図中の右）に転送する。

【 0 0 3 0 】

上記キャリア入出力インタフェース部 4 2 はさらに、転送キャリア制御部 4 4 を備える。この転送キャリア制御部 4 4 は、各ビット対応に、キャリアセクタ 4 3 により選択された選択キャリア S C を入力とし、隣接するサブプロセッサ 4 1 (図中の右) に転送すべき転送キャリア T C を選択する転送キャリアセクタ 4 5 を有すると共に、各キャリアセクタ 4 3 に対し予め定めた選択指示 S I を与える。

【 0 0 3 1 】

以上、本発明に係るプロセッサ 1 の第 1 ～第 4 の主要部について部分的に説明したので、次にプロセッサ 1 の全体構成について説明する。なお上記の第 1 ～第 4 の主要部は、それぞれ単独で用いても良いし、あるいはそれらの任意の組合せで用いても良い。さらにそれら主要部を全て用いても良く、この場合には当然多様な可変長データに対処できることになる。

【 0 0 3 2 】

図 7 は本発明に係るプロセッサの第 1 の全体構成例を示す図である。

本図の全体構成例は、前述した第 1 の主要部 (図 1) および第 2 の主要部 (図 2、図 3、図 4) の双方 (本図中の構成要素 4, 7, 1 2 および 1 4) を採用したプロセッサ 1 を示す。

図 7 において、処理の対象となる有効フィールド (図中の F) が含まれている 1 ワード分 (図中の W) のデータがメモリ 5 1 より読み出され、レジスタ A (参照番号 3 1 で示す) に格納される。以下、処理内容が論理演算の場合 (1) と算術演算の場合 (2) とに分けて説明する。

(1) 処理内容が論理演算の場合

処理マスク制御部 4 中の処理マスクレジスタ 7 に対して、処理の対象とならない非演算対象のビットの設定を行い、その設定値をもとに、処理マスク制御部 4 は、制御信号 S c 1 を生成し、演算装置 2 に出力する。演算装置 2 は、処理マスク制御部 4 からの上記制御信号 S c 1 に従い、メモリ 5 1 よりセクタ 5 2 を介して読み出されたレジスタ A とレジスタ B (参照番号 5 3 で示す) 内の、処理に必要なフィールド (F) 同士の演算を実施後、その演算結果をレジスタ C (参

照番号 5 4 で示す) に格納する。

【 0 0 3 3 】

このとき、処理対象外となる非演算対象のデータについては、メモリ 5 1 から読み出した値をそのまま演算装置 2 より出力する。その後、レジスタ C に格納されたデータを、初めにメモリ 5 1 より読出しを行った元のアドレスに対して書き込む。

(2) 処理内容が算術演算の場合

論理演算の場合と同様に、処理マスク制御部 4 の中の処理マスクレジスタ 7 に対して、処理の対象とならない非演算対象のビットの設定を行うことにより、レジスタ A とレジスタ B の各有効フィールド F に対し演算を実施する。

【 0 0 3 4 】

このとき、ワード (W) 中の任意の位置にあり、かつ、ビット長が可変であるデータの算術演算を行うときには、演算処理の結果生ずるキャリー (C 0 0 , C 0 1 …) の伝播を、任意のビットに対して印加するかしないかのオン / オフ設定制御を可能とする制御機構すなわち図 2 の構成が有効になる。

すなわちキャリーマスク制御部 1 2 の中のキャリーマスクレジスタ 1 4 に対して、キャリーの伝播を行わないビットの設定を行うことにより、キャリーマスク制御部 1 2 は、レジスタ 1 4 内のその設定値をもとにして制御信号 S c 2 を生成し、これを演算装置 2 に出力する。

【 0 0 3 5 】

演算装置 2 は、処理マスク制御部 4 およびキャリーマスク制御部 1 2 よりそれぞれ入力される制御信号 S c 1 および S c 2 に従って、レジスタ A とレジスタ B にそれぞれ格納されているデータの中の有効フィールド (F) 同士の算術演算を行う。

以降は上記論理演算のときと同様に、演算装置 2 からの演算結果と処理対象外である非演算対象のデータとを、レジスタ C に転送し、さらに、初めにメモリ 5 1 より読出しを行った元のアドレスに対して書き込みを行う。

【 0 0 3 6 】

上記 (1) および (2) により、従来のプロセッサにおいてデータの境界合

せや、データ格納時に必要であったデータのシフトおよび、演算時に不要となるビットのマスク処理等を行うことなく、1ワード中の任意の位置に格納され、かつ、任意の長さを有するデータに対して算術・論理演算を行うことが可能となる。

【0037】

図8は図7の構成をさらに具体的に示す図であり、特に、処理マスク制御部4とキャリーマスク制御部12をさらに具体化して示す。

本図において新たに示された構成要素は、制御メモリ56とデコーダ57および58である。

メモリ51が処理対象となる本来のデータを格納するのに対し、制御メモリ56は既述の処理マスクレジスタ7およびキャリーマスクレジスタ14にそれぞれ与えるべきビット指定データ（設定値）を格納する。

【0038】

デコーダ57および58は、上記のレジスタ7および14に与えられた上記ビット指定データをデコードし、前述の制御信号Sc1およびSc2を生成する。

図9は本発明に係るプロセッサの第2の全体構成例を示す図である。

本図の全体構成例は、前述した第1の主要部（図1）、第2の主要部（図2、図3、図4）および第3の主要部（図5）を採用したプロセッサ1を示す。したがって本図の構成は、図8の構成にビット交換制御部34がさらに加わったものに相当する。またそのために、図8の構成に対し、第2レジスタ（レジスタA'）32もさらに加わっている。このレジスタA'は図5に示したものである。

【0039】

上記ビット交換制御部34の理解のためにまず図10を参照しておく。

図10はビット交換制御部34の説明に用いるデータ構成図（その1）である。

まず第1段階では、図9のメモリ51よりLSB (Least Significant Bit) を含む1ワードを読み出し、図10のレジスタAにワード#nとして格納する。

【0040】

また図9のメモリ51よりMSB (Most Significant Bit) を含む1ワードを

読み出し、図 1 0 のレジスタ A' にワード # n + 1 として格納する。

次に第 2 段階では、ビット交換制御部 3 4 を動作させて、図 1 0 の両方向矢印 X で図解するようにビット入替えを行う。ここに図 1 0 の下方に示すデータフォーマットを有するデータが得られる。これで丁度 1 ワード分のデータになって、演算装置 2 が演算可能なデータフォーマットとなる。図 9 のメモリ 5 1 内に示すような 2 ワード分の領域にまたがるようなデータは演算装置 2 では受け付けることができない。なお、このようなデータ構造を持つものとしては、例えば既述の A T M における各セルのヘッダ部分に書き込まれる V P I / V C I の値がある。

【 0 0 4 1 】

ここで再び図 9 に戻り、上記の図 1 0 を参照しつつ、本図のプロセッサ 1 の動作を説明する。

まず、処理の対象となる被演算対象データのうち、図 9 のメモリ 5 1 から L S B が格納されている 1 ワード分のデータ（ワード # n）を読み出し、セクタ 5 2 を介してレジスタ A に格納する。

【 0 0 4 2 】

次にそのメモリ 5 1 から M S B が格納されている 1 ワード分のデータ（ワード # n + 1）を読み出し、レジスタ A' に格納する。ここで、レジスタ A とレジスタ A' との間の任意のビット入替えするために、図 9 のビット交換制御部 3 4 内のビット交換レジスタ 3 5 が機能する。すなわち、交換制御部 3 4 内のビット交換レジスタ 3 5 に対して、ビット入替えの対象となるビットの設定を行うと、ビット交換制御部 3 4 はビット交換レジスタ 3 5 への該設定値をもとにして、制御信号 S c 3 を生成し、その設定値に従って、レジスタ A とレジスタ A' の各該当ビットの内容を入れ替える。

【 0 0 4 3 】

これにより、メモリ 5 1 に 2 ワード分の領域にまたがって格納されていた処理対象データが、1 ワード分のレジスタ A に格納されることとなり、論理演算については、図 7 の場合と同様に演算装置 2 による演算処理が可能となる。

このようにビット交換制御部 3 4 を設けることにより、従来のプロセッサが苦手としていた、ビットの交換処理を高速に行うことが可能になる。

【 0 0 4 4 】

しかし一方、処理内容が算術演算の場合には、L S B 側の演算処理の結果生ずるキャリーをM S B 側へ反映させなければならない。そこで、任意のビットから出力されるキャリーを任意のビットへ入力することを可能とするために設けたのが、図 3 に示すキャリー分配部 2 1 およびキャリー分配設定部 2 2 である。

これにより、有効フィールドに収容されているデータの任意の位置をM S B として、該データの演算をすることが可能となり、結局、メモリ 5 1 内に 2 ワード分の領域にまたがって格納されているデータに対する演算処理も、図 7 の場合と同様に行うことができる。

【 0 0 4 5 】

上記の演算処理が終了した後は、その演算結果はレジスタ A に格納される。その後、ビット交換レジスタ 3 5 に設定された上記の設定値に従って、レジスタ A とレジスタ A' の各ビット内容を交換して、レジスタ A とレジスタ A' に格納されている各データを、メモリ 5 1 内の元のアドレスに対して書き込む。

図 1 1 はビット交換制御部 3 4 の説明に用いるデータ構成図（その 2）である。このデータ構成の場合は演算処理がやや複雑になるので、次の図を参照して説明する。

【 0 0 4 6 】

図 1 2 は図 1 1 に示すデータ構成について演算処理を行う場合の処理フローを表す図である。また

図 1 3 は図 1 2 に表す処理フローにおいて一部採用する処理部を示す図である。この処理部は前述した図 4 の構成に基づくものである。

まず図 1 1 を参照すると、本図は、レジスタ A とレジスタ A' （図 9 の 3 1 と 3 2）との間で、ビット入替えを行う際に、ビットのオーバーラップが存在していることを表す。上述の図 1 0 に示すデータ構成の例では、このようなビットのオーバーラップは存在しないが、図 1 1 では、同図の上 2 段のレジスタ A と A' の各中央部分でオーバーラップが存在している。

【 0 0 4 7 】

このようなオーバーラップを含む場合には、図 1 2 に表す処理フローが、図 9

に示すプロセッサ 1 により、実行される。

レジスタ A に L S B 側のデータをロード (矢印 O) し、レジスタ A' へ M S B 側のデータをロード (矢印 P) した後、図示する F A - 2 と F A' - 2 の各領域間でビット交換制御部 3 4 によりビット入替え (両矢印 Q) する (図 1 2 の < 1 >)。なお、F A は F i e l d A の略である。

【 0 0 4 8 】

その後、図 9 の演算装置 2 (図 1 3 の A L U 0, A L U 1 …) により、レジスタ A とレジスタ B の各データを使用して演算処理を実施し、その演算結果をレジスタ A へ格納する (図 1 2 の < 2 >)。このとき、その演算処理で発生したキャリー (C o 0, C o 1 …) を、図 1 3 の記憶素子 2 5 に保持しておく。

次に、演算処理後の F A - 2' と F A - 2 の内容をビット入替えする (両矢印 R)。

【 0 0 4 9 】

次にそのレジスタ A の内容をメモリ 5 1 の元のアドレスに (矢印 S)、に書き込む (図 1 2 の < 3 >)。

さらに今度は、レジスタ A' とレジスタ B の各データと、図 1 3 の記憶素子 2 5 に保持していたキャリービットとを入力として、F A' - 1 に相当する領域に対する演算を実施する。この演算の終了後、その演算結果をレジスタ A' へ転送し (図 1 2 の < 4 >)、その内容をメモリ 5 1 へ書込む (矢印 T)。

【 0 0 5 0 】

以後は、上記の < 1 > ~ < 4 > の処理を繰り返すことにより、処理対象のデータがメモリ 5 1 内に 2 ワード以上の領域にまたがって格納されている場合でも、プロセッサ 1 による演算処理が可能である。

以上詳述した図 9 の構成についてさらに補足して説明する。

図 1 4 は図 9 の構成をさらに具体的に示す図であり、図 8 (図 7 の具体例) の場合と同様、特に処理マスク制御部 4 とキャリーマスク制御部 1 2 について具体化して示し、さらに、ビット交換制御部 3 4 についても具体化して示す。

【 0 0 5 1 】

図 1 4 の具体例は、図 8 に示した具体例に対して、さらにビット交換制御部 3

4 の具体例を追加したものである。すなわち該制御部 3 4 内のデコーダ 5 9 が図示されている。このデコーダ 5 9 の役割は、図 8 で説明したデコーダ 5 7 および 5 8 の役割と同様であり、外部から設定された、ビット交換レジスタ 3 5 内の設定値に応じた制御信号 S c 4 を該デコーダ 5 9 より生成する。この制御信号 S c 4 は、図 1 2 の< 1 > および< 2 > における両矢印 Q および R で示すビット入替えを指示する。

【 0 0 5 2 】

図 1 5 は本発明に係るプロセッサの第 3 の全体構成例を示す図である。

本図の全体構成例は特に、前述した図 6 に示す第 4 の主要部を採用したプロセッサ 1 を示す。ただし図 1 5 においては、さらにもう 1 つのサブプロセッサ 6 3 を追加した例を示している。これらのサブプロセッサ 4 1, 4 2 および 6 3 は、共通バス 6 2 を介してメモリ 5 1 に接続する。

【 0 0 5 3 】

サブプロセッサ 4 1, 4 2 および 6 3 のそれぞれに設けられる演算部 6 1 は、図 6 に示す演算装置 2 とキャリー入出力インタフェース部 4 2 とを 1 つにまとめて表したものである。

図 1 5 においては、メモリ 5 1 内に格納される被演算対象のデータの一例として、A T M 通信に用いるセルのヘッダ部分の値、特に V P I 値（左下りハッチングの領域）と V C I 値（右下りハッチングの領域）を示している。

【 0 0 5 4 】

メモリ 5 1 内で 3 つのワードの領域にまたがる V C I 値に対して、3 つのサブプロセッサ 4 1, 4 2, 6 3 が作業分担して、算術演算が行われ、発生したキャリーは隣接するサブプロセッサに転送される。

図 1 5 に示した 3 つのサブプロセッサ（4 1, 4 2, 6 3）からなるマルチプロセッサ構成のプロセッサ 1 は、本発明によりさらに高機能化を図ることができる。これについて以下詳しく説明する。

【 0 0 5 5 】

図 1 6 は本発明に係るマルチプロセッサ構成のプロセッサ 1 を表す図である。

すなわち、本図のプロセッサ 1 は、相互に同一構成を有し、かつ、1 ワード単

位でビット毎にデータの演算を行う複数の演算回路 5 を含むサブプロセッサ (71, 72, 73) を複数並列に接続してなるプロセッサである。このプロセッサ 1 は、所定のスケジューラ 70 のもとに動作する。

【0056】

サブプロセッサ 71, 72, 73 のいずれかは、被演算対象のデータのデータ長が 1 ワード (W) のビット長を超えるとときに機能し、該スケジューラ 70 は、そのデータを複数の上記サブプロセッサに割り振って分散処理させると共に、そのデータが割り振られた各サブプロセッサでの演算処理を制御する。

なお各サブプロセッサ内の演算器 75 は同一構成であって、少なくとも上記演算回路 5 を含んで形成されるものである。またスケジューラ 70 は、フレーム内の制御情報 Y に従って、ブロック 76 内の処理を行う。

【0057】

スケジューラ 70 はまた、ブロック 77 内の処理も行う。サブプロセッサ間のデータのやり取りの中には既述したキャリーのやり取りも含まれる。さらにまた、スケジューラ 70 はこのブロック 77 内に示すとおり、演算器 75 の空きビット (アイドル) の管理も行う。

かくしてスケジューラ 70 は、1 のサブプロセッサ内の 1 または複数の演算回路 5 がアイドルになるとき、当該演算回路 5 を、他のサブプロセッサに使用させることを可能とし、演算効率の良い可変長データ処理用プロセッサを実現することができる。

【0058】

図 17 は図 16 の全体構成例を示す図である。ただし、サブプロセッサをさらにもう 1 つ (74) 増やして示している。

上記のスケジューラ 70 (70-1, 70-2) は、データ切出し手段 78 を介して各サブプロセッサ (71~74) にデータを供給し、また、データ組立て手段 79 を介して各サブプロセッサ (71~74) からの分散処理結果を統合する。本図では、手段 78 および 79 に対してそれぞれ個別にスケジューラ 70-1 および 70-2 が作用する例を示す。

【0059】

なお上記の分散処理としては、パイプライン処理または並列処理を設定することができる。

図 1 8 は図 1 6 および図 1 7 に示す全体構成の詳細例を示す図である。

前述したデータ切出し手段 7 8 は、図 1 8 において、データ切出し制御部 8 1 およびデータ切出し部 8 2 として示される。また前述したデータ組立て手段 7 9 は、図 1 8 において、データ組立て制御部 8 3 およびデータ組立て部 8 4 として示される。

【 0 0 6 0 】

なお図 1 8 では簡略のため 3 つのサブプロセッサ 7 1 ~ 7 3 を示す。

データ切出し部 8 2 は、デマルチプレクサにより構成されており、データ切出し制御部 8 1 から出力される制御信号によって、入力データ D_i を各サブプロセッサ (7 1 ~ 7 3) へ割り振る。このデータ切出し制御部 8 1 は、メモリ 8 5 と、メモリ 8 5 に格納されている実行プログラムによって制御される制御回路 8 6 とによって構成される。この実行プログラムが前述したコンパイラ 7 0 (7 0 - 1) に相当する。

【 0 0 6 1 】

データ組立て部 8 4 は、マルチプレクサにより構成されており、データ組立て制御部 8 3 より出力される制御信号によって、各サブプロセッサ (7 1 ~ 7 3) より出力されるデータを結合し、外部へ出力データ D_o として出力する。このデータ組立て制御部 8 3 はメモリ 8 7 と、メモリ 8 7 に格納されている実行プログラムによって制御される制御回路 8 8 とによって構成されている。この実行プログラムが前述したコンパイラ 7 0 (7 0 - 2) に相当する。

【 0 0 6 2 】

上記の実行プログラム (7 0) は、処理内容を記述したソースプログラム SP をコンパイラ CP によってコンパイルすることにより得られる。コンパイラ CP は、ファイル FIL 内の、対象となるシステム (プロセッサ 1) の構成に合わせて、実行プログラム (7 0) を生成する。

上記のように、マルチプロセッサ構成とすることにより、各サブプロセッサに搭載されている演算装置 2 をビット長の大きい演算装置 (機能は各演算装置と同

じ)として動作させることができる。

【0063】

最後に、本発明に係るプロセッサ1を動作させるための命令、特にそのデータ構造について説明する。

図19は本発明に係るプロセッサを動作させるための標準的な命令構成を示す図であり、

図20は本発明に係るプロセッサを動作させるための本発明に基づく命令構成を示す図である。

【0064】

まず図19を参照すると、標準的な命令91において、MASK-ALUは、既述したマスク付きの演算を表し、SRC1およびSRC2は、データが入力される既述のレジスタを指定し、SRC3は上記のマスク用のデータを表し、DSTは演算後のデータが出力されるレジスタを指定する。

すなわち、このような命令91のオペランド部は、

〔1〕入力となるデータを指定するための2つのフィールド(SRC1, SRC2)と、

〔2〕出力先を指定するための1つのフィールド(DST)と、

〔3〕マスクパターンが格納されている場所を指定するための1つのフィールド(SRC3)と、

により構成される。

【0065】

一方図20を参照すると、本発明に基づく命令92は、マスク命令MASKとマスク用のデータを指定するデータSRC3は、命令の初めに1回現れるだけであり、その後はALU命令(SRC1+SRC2+DST)のみが繰り返す。

本発明の可変長データ処理用プロセッサの好適な適用対象である通信用アプリケーションでは、規則的な処理の繰り返しが多く、マスクパターンも一定である場合が多い。このようなアプリケーションでは、図19に示すオペランド部の構成では、マスクパターンを指定するためのフィールド(SRC3)が冗長となる可能性が高い。

【 0 0 6 6 】

そこでマスクパターンが入る専用のレジスタ（処理マスクレジスタ 7）を設け、この処理マスクレジスタ 7 に対する値の設定と、演算処理とを独立して行う構成とし（図 2 0）、命令の語長を図 1 9 の構成とする場合より少なくすることとした。これにより、命令が格納されるメモリの量を少なくすることが可能となる。また、そのために空きとなったフィールド 9 3 に、他のフィールドを収容することも可能となる。

【 0 0 6 7 】

かくして図 2 0 の命令で動作するプロセッサ 1、すなわち 1 ワード単位でビット毎にデータの演算処理を、所定の命令に従って、実行する複数の演算回路 5 を含むと共に、その演算処理に先行して演算前処理が実行されるプロセッサにおいては、下記命令が有効である。

この命令は、

上記の演算前処理に必要なパラメータ（設定値）を、所定のパラメータレジスタ（例えばレジスタ 7）に格納する第 1 命令（M A S K）と、

上記の演算処理を繰り返し実行するための一群の同一の演算命令であって、かつ、各演算命令は演算すべき 2 つの被演算対象データを格納する 2 つの入力レジスタ（レジスタ A、レジスタ B）を個別に指定する 2 つのフィールド（S R C 1，S R C 2）から構成される、第 2 命令（A L U）と、に分割してなり、

前記第 2 命令（A L U）内の各演算命令は、上記の演算前処理に際して上記のパラメータレジスタ（レジスタ 7）内のパラメータ（設定値）を使用するようにしたものである。

【 0 0 6 8 】

上記の説明は処理マスクレジスタに注目して行ったが、キャリーマスクレジスタ 1 4 やビット交換レジスタ 3 5 に対しても同様に、値の設定を行う命令（M A S K 相当）と、演算命令（A L U）とを分離することにより、命令のメモリを効率的に使用することができる。

さらに図 1 5 や図 1 7 等にしたマルチプロセッサ構成のプロセッサ 1 の場合には、上記のパラメータレジスタを各サブプロセッサが共通に利用するようにす

れば、命令のメモリをさらに効率的に使用することができる。

【0069】

すなわち、プロセッサ1が、1ワード単位でビット毎にデータの演算処理を、所定の命令に従って、実行する複数の演算回路5を含むと共に、この演算処理に先行して演算前処理が実行されるサブプロセッサ（71～74）をマルチプロセッサ構成としたプロセッサであるとき、各該サブプロセッサは前述したパラメータレジスタを共有して上記の第1命令内での演算前処理を実行することができる。

【0070】

以上述べた本発明の実施の態様は、以下の付記のとおりである。

（付記1） 1ワード単位でビット毎にデータの演算を行う複数の演算回路を含むプロセッサであって、

各ワード内のデータを、被演算対象のデータとそれ以外の非演算対象のデータとに区分するためのビット指定を行う処理マスク制御部と、

前記処理マスク制御部による前記ビット指定に従い、前記被演算対象のデータについては当該ビット対応で前記演算回路による演算処理を行ってその演算結果を取り出す機能および前記非演算対象のデータについては当該ビット対応で前記演算回路をスルーさせる機能のいずれかの機能を択一的に有効にする出力選択部と、

を具備することを特徴とする可変長データ処理用プロセッサ。

【0071】

（付記2） 前記処理マスク制御部は、前記各ワード内の各ビットが、前記被演算対象のビットであるか前記非演算対象のビットであるかを、各ビット対応に指定するための論理1または0を格納する処理マスクレジスタを有することを特徴とする付記1に記載の可変長データ処理用プロセッサ。

（付記3） 前記出力選択部は、各ビット対応に、前記演算回路からの前記演算結果および該演算回路をスルーした前記非演算対象のデータの双方を入力してこれらを択一的に選択して出力する出力セレクトタからなり、各該出力セレクトタは前記処理マスクレジスタからの前記論理1または0に従ってその選択を行うこと

を特徴とする付記 2 に記載の可変長データ処理用プロセッサ。

【 0 0 7 2 】

(付記 4) 1 ワード単位でビット毎にデータの演算を行う複数の演算回路を含むプロセッサであって、

隣接する前記演算回路間で一方の演算回路から発生したキャリーを他方の演算回路に伝播するかしないかを各ビット対応で設定するためのキャリー伝播指定を行うキャリーマスク制御部と、

前記キャリーマスク制御部による前記キャリー伝播指定に従い、前記一方の演算回路からの前記キャリーを前記他方の演算回路に伝播させる機能および該他方の演算回路に該キャリーとして予め定めた固定論理を与える機能のいずれかの機能を択一的に有効にするキャリー選択部と、

を具備することを特徴とする可変長データ処理用プロセッサ。

【 0 0 7 3 】

(付記 5) 前記キャリーマスク制御部は、前記キャリーの伝播を行うか前記固定論理を与えるかを、各ビット対応に指定するための論理 1 または 0 を格納するキャリーマスクレジスタを有することを特徴とする付記 4 に記載の可変長データ処理用プロセッサ。

(付記 6) 前記キャリー選択部は、前記一方の演算回路からの前記キャリーとして、過去の演算処理で発生したキャリーを記憶する記憶素子からのキャリーを選択する機能も加えて選択を行うことを特徴とする付記 4 に記載の可変長データ処理用プロセッサ。

【 0 0 7 4 】

(付記 7) 前記キャリー選択部は、各ビット対応に、前記演算回路からの前記キャリーおよび前記固定論理の双方を入力してこれらを択一的に選択して出力するキャリーセクタからなり、各該キャリーセクタは前記キャリーマスクレジスタからの前記論理 1 または 0 に従ってその選択を行うことを特徴とする付記 5 に記載の可変長データ処理用プロセッサ。

【 0 0 7 5 】

(付記 8) 1 ワード単位でビット毎にデータの演算を行う複数の演算回路を

含むプロセッサであって、

前記演算回路間で一方の演算回路から発生したキャリーを他方の演算回路に伝播させるためのキャリー分配部を具備することを特徴とする可変長データ処理用プロセッサ。

【0076】

(付記9) 前記キャリー分配部は、各ビット対応に、各前記演算回路から発生したキャリーを入力とし、予め定められた1の該キャリーを選択して各該ビット対応の演算回路に伝播させるキャリーセクタからなることを特徴とする付記8に記載の可変長データ処理用プロセッサ。

(付記10) 各前記キャリーセクタに対し、いずれの前記演算回路から発生したキャリーを選択すべきかを予め定めて、指定するキャリー分配設定部をさらに有することを特徴とする付記9に記載の可変長データ処理用プロセッサ。

【0077】

(付記11) 1ワード単位でビット毎にデータの演算を行う複数の演算回路を含むプロセッサであって、該プロセッサは、

各該演算回路に入力すべき第1ワード内の被演算対象のデータを一旦格納する第1レジスタと、

各該演算回路に入力すべき第2ワード内の被演算対象のデータを一旦格納する第2レジスタと、を具備し、かつ、

該第1および第2レジスタにそれぞれ格納されたデータを、各ビット位置を揃えて複数のビット同士で同時にビットの入替えを行うビットスイッチ部を備えることを特徴とする可変長データ処理用プロセッサ。

【0078】

(付記12) 相互に同一構成を有し、かつ、1ワード単位でビット毎にデータの演算を行う複数の演算回路を含むサブプロセッサを複数並列に接続してなるプロセッサであって、

被演算対象の前記データのデータ長が前記1ワードのビット長を超えるとときに有効となり、隣接する一方の前記サブプロセッサ内の前記演算回路から発生したキャリーを他方の前記サブプロセッサ内の前記演算回路に伝播させると共に、前

記他方のサブプロセッサ内の演算回路から発生したキャリーを前記一方のサブプロセッサ内の演算回路に伝播させるキャリー入出力インタフェース部を、各前記サブプロセッサ毎に設けることを特徴とする可変長データ処理用プロセッサ。

【0079】

(付記13) 各前記キャリー入出力インタフェース部は、各ビット対応に、各前記演算回路から発生したキャリーと隣接する前記サブプロセッサ内のいずれかの前記演算回路から発生したキャリーとを入力とし、予め定められた1の該キャリーを選択して各該ビット対応の演算回路に伝播させると共に、その選択されたキャリーを前記隣接するサブプロセッサに転送するキャリーセレクトを有することを特徴とする付記12に記載の可変長データ処理用プロセッサ。

【0080】

(付記14) 各前記キャリー入出力インタフェース部はさらに、各ビット対応に、前記キャリーセレクトにより選択された選択キャリーを入力とし、前記隣接するサブプロセッサに転送すべき転送キャリーを選択する転送キャリーセレクトを有すると共に、各前記キャリーセレクトに対し予め定めた選択指示を与える転送キャリー制御部を有することを特徴とする付記13に記載の可変長データ処理用プロセッサ。

【0081】

(付記15) 相互に同一構成を有し、かつ、1ワード単位でビット毎にデータの演算を行う複数の演算回路を含むサブプロセッサを複数並列に接続してなるプロセッサであって、

被演算対象の前記データのデータ長が前記1ワードのビット長を超えるとときに機能して、該データを前記複数のサブプロセッサに割り振って分散処理させると共に、該データが割り振られた各該サブプロセッサでの演算処理を制御するスケジューラを具備することを特徴とする可変長データ処理用プロセッサ。

【0082】

(付記16) 前記スケジューラは、1の前記サブプロセッサ内の1または複数の前記演算回路がアイドルになるとき、当該演算回路を、他の前記サブプロセッサに使用させることを特徴とする付記15に記載の可変長データ処理用プロセ

ッサ。

【 0 0 8 3 】

【発明の効果】

以上説明したように本発明によれば、従来手法によれば必要とされた、

1) データの境界合せのためのシフト命令とビットのマスクのためのマスク命令の組合せによるデータの前処理工程を不要とし、

2) 上記前処理工程のための前処理命令を不要とし、

3) 専用のハードウェアを追加することなく上記の前処理工程を実施可能とする、プロセッサを実現することができる。

【 0 0 8 4 】

したがって、メモリの所要容量をできる限り少なくして、1ワードを超えることがある可変長データの演算を、リアルタイムで高速に効率良く実行することができる。またインタリーブ処理やデインタリーブ処理もきわめて簡単なプロセスで実行することができる。

【図面の簡単な説明】

【図 1】

本発明に係るプロセッサの第 1 の主要部を示す図である。

【図 2】

本発明に係るプロセッサの第 2 の主要部を示す図である。

【図 3】

図 2 に示す第 2 の主要部の第 1 変形例を示す図である。

【図 4】

図 2 に示す第 2 の主要部の第 2 変形例を示す図である。

【図 5】

本発明に係るプロセッサの第 3 の主要部を示す図である。

【図 6】

本発明に係るプロセッサの第 4 の主要部を示す図である。

【図 7】

本発明に係るプロセッサの第 1 の全体構成例を示す図である。

【図 8】

図 7 の構成をさらに具体的に示す図である。

【図 9】

本発明に係るプロセッサの第 2 の全体構成例を示す図である。

【図 1 0】

ビット交換制御部 3 4 の説明に用いるデータ構成図（その 1）である。

【図 1 1】

ビット交換制御部 3 4 の説明に用いるデータ構成図（その 2）である。

【図 1 2】

図 1 1 に示すデータ構成について演算処理を行う場合の処理フローを表す図である。

【図 1 3】

図 1 2 に表す処理フローにおいて一部採用する処理部を示す図である。

【図 1 4】

図 9 の構成をさらに具体的に示す図である。

【図 1 5】

本発明に係るプロセッサの第 3 の全体構成例を示す図である。

【図 1 6】

本発明に係るマルチプロセッサ構成のプロセッサ 1 を表す図である。

【図 1 7】

図 1 6 の全体構成例を示す図である。

【図 1 8】

図 1 6 および図 1 7 に示す全体構成の詳細例を示す図である。

【図 1 9】

本発明に係るプロセッサを動作させるための標準的な命令構成を示す図である。

【図 2 0】

本発明に係るプロセッサを動作させるための本発明に基づく命令構成を示す図である。

【符号の説明】

- 1 …可変長データ処理用プロセッサ
- 2 …演算装置
- 3 …出力選択部
- 4 …処理マスク制御部
- 5 …演算回路
- 6 …出力セレクタ
- 7 …処理マスキレジスタ
- 1 1 …キャリー選択部
- 1 2 …キャリーマスク制御部
- 1 3 …キャリーセレクタ
- 1 4 …キャリーマスキレジスタ
- 2 1 …キャリー分配部
- 2 2 …キャリー分配設定部
- 2 3 …キャリーセレクタ
- 2 5 …記憶素子
- 3 1 …第 1 レジスタ（レジスタ A）
- 3 2 …第 2 レジスタ（レジスタ A'）
- 3 3 …ビットスイッチ部
- 3 4 …ビット交換制御部
- 3 5 …ビット交換レジスタ
- 4 1 …サブプロセッサ
- 4 2 …キャリー入出力インタフェース部
- 4 3 …キャリーセレクタ
- 4 4 …転送キャリー制御部
- 4 5 …転送キャリーセレクタ
- 5 1 …メモリ
- 5 3 …レジスタ B
- 5 4 …レジスタ C

5 5 …制御メモリ

7 0, 7 0 - 1, 7 0 - 2 …スケジューラ

7 8 …データ切出し手段

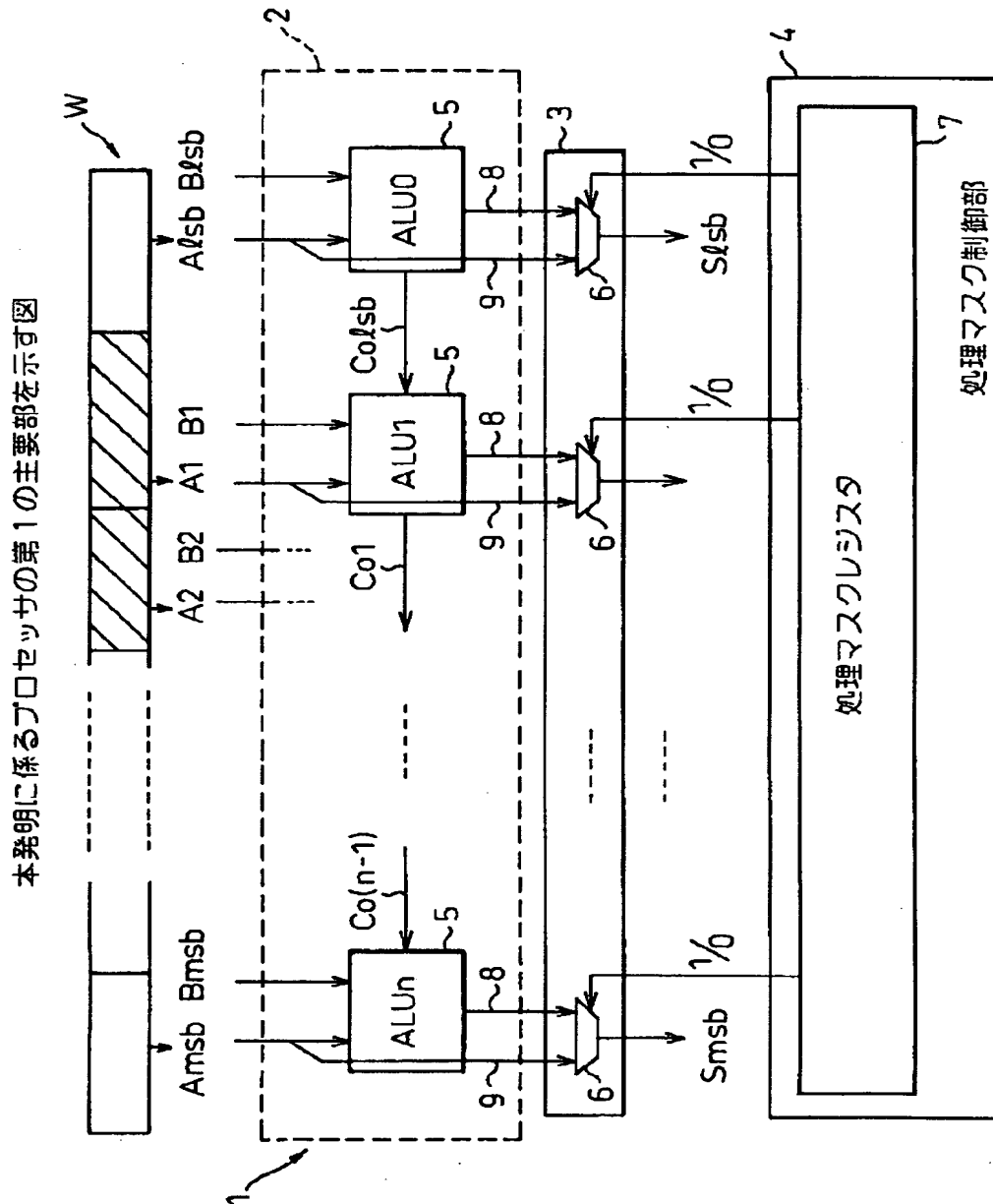
7 9 …データ組立て手段

【書類名】

凶面

【図 1】

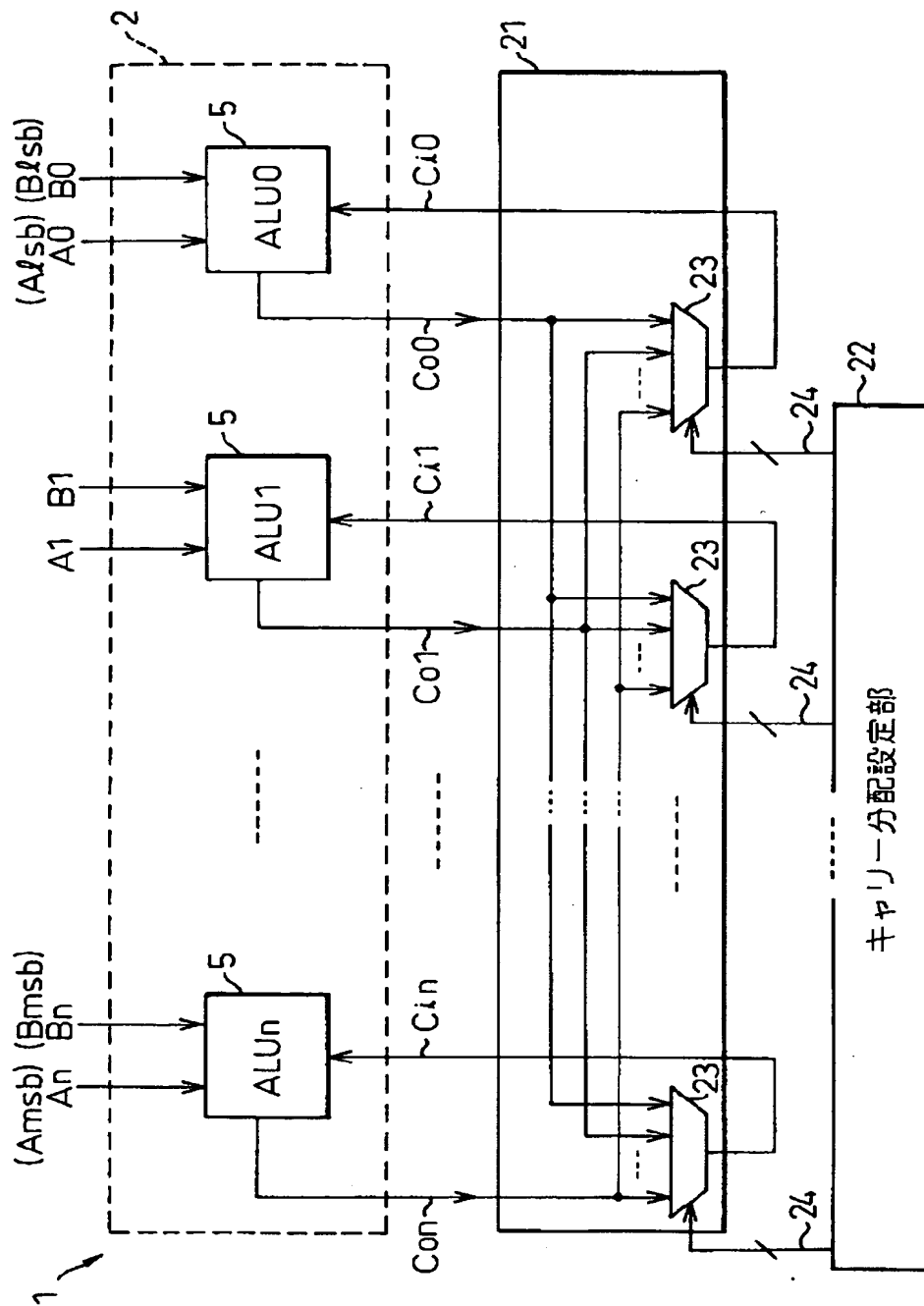
图 1



【図 3】

图3

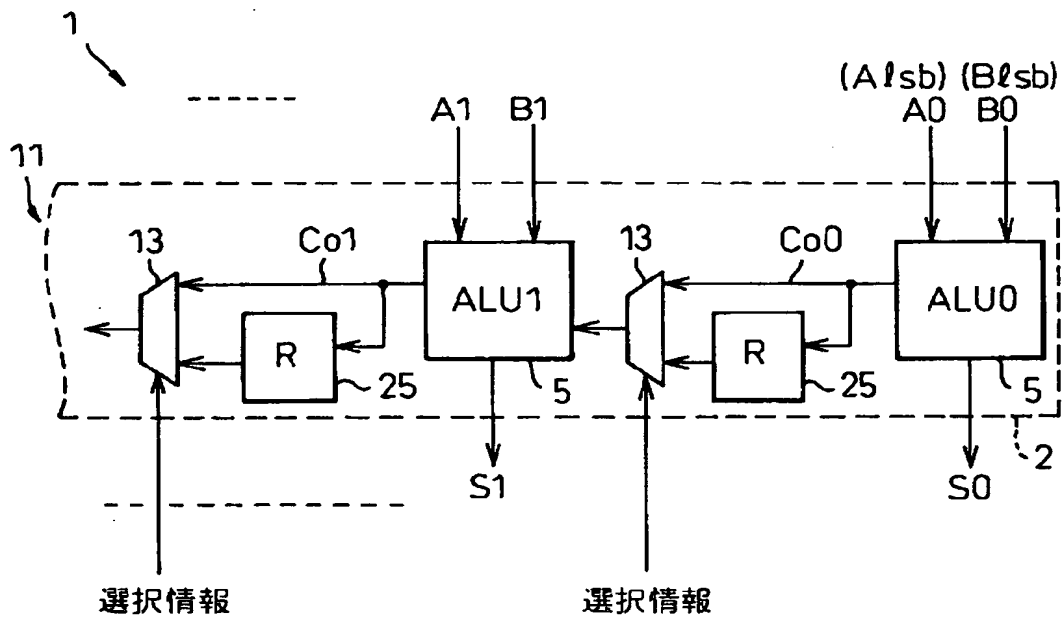
図2に示す第2の主要部の第1変形例を示す図



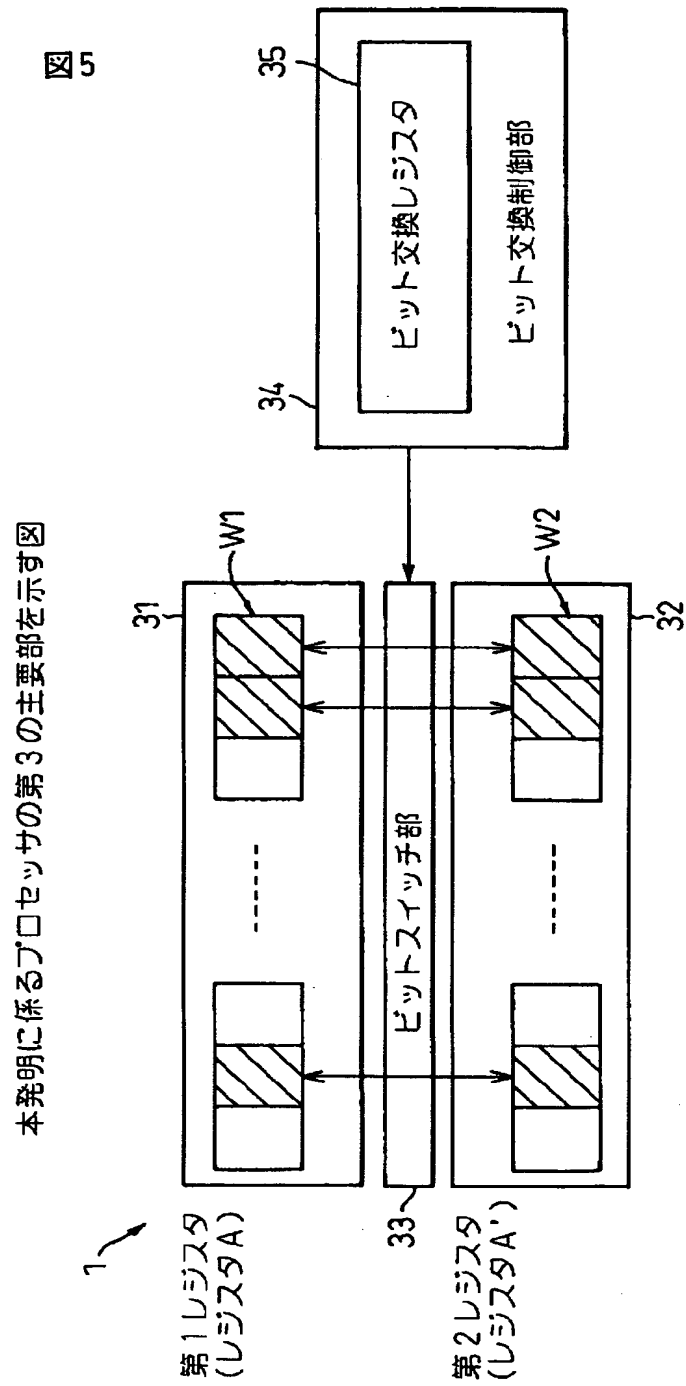
【図 4】

図 4

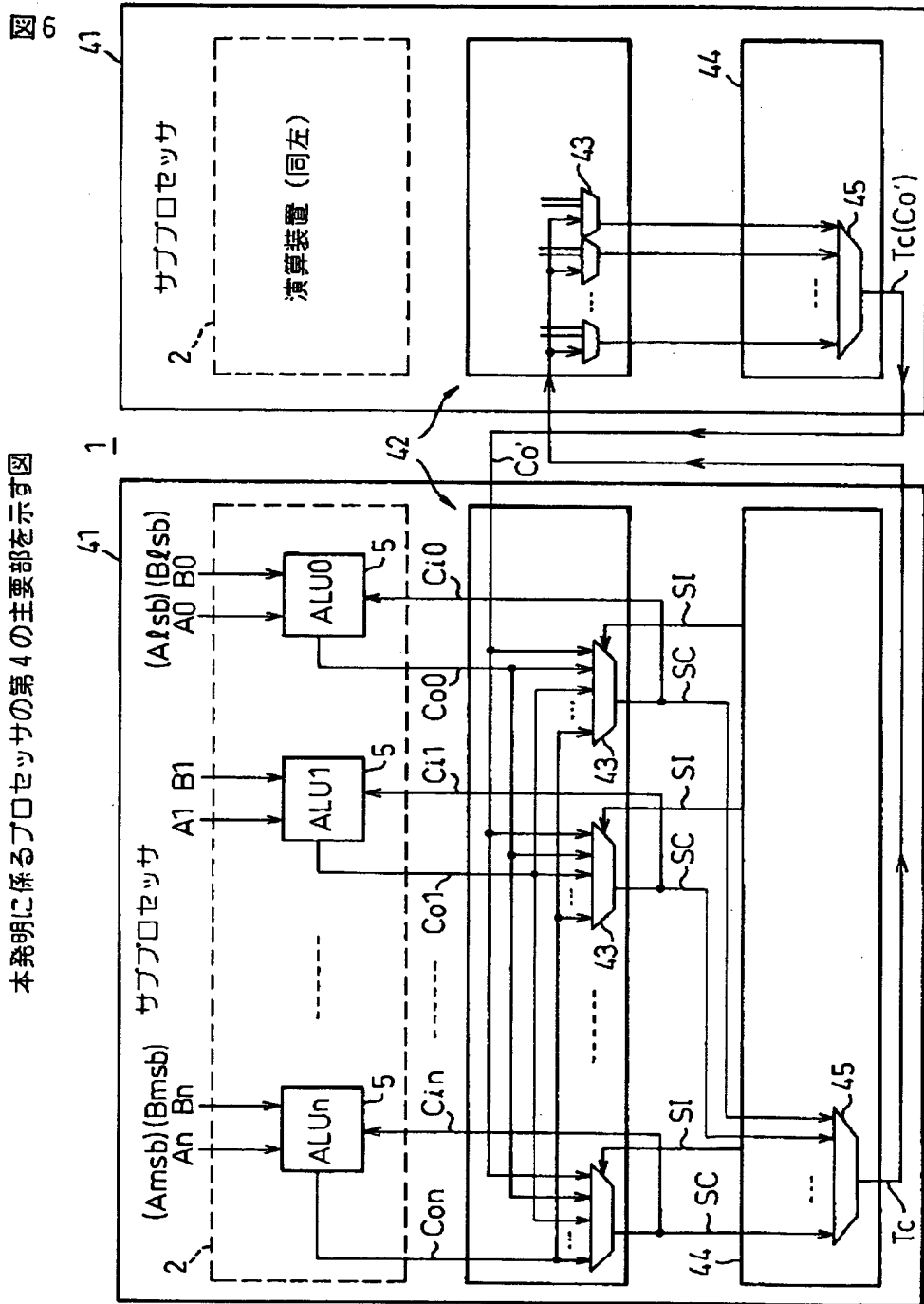
図 2 に示す第 2 の主要部の第 2 変形例を示す図



【図 5】



【図 6】

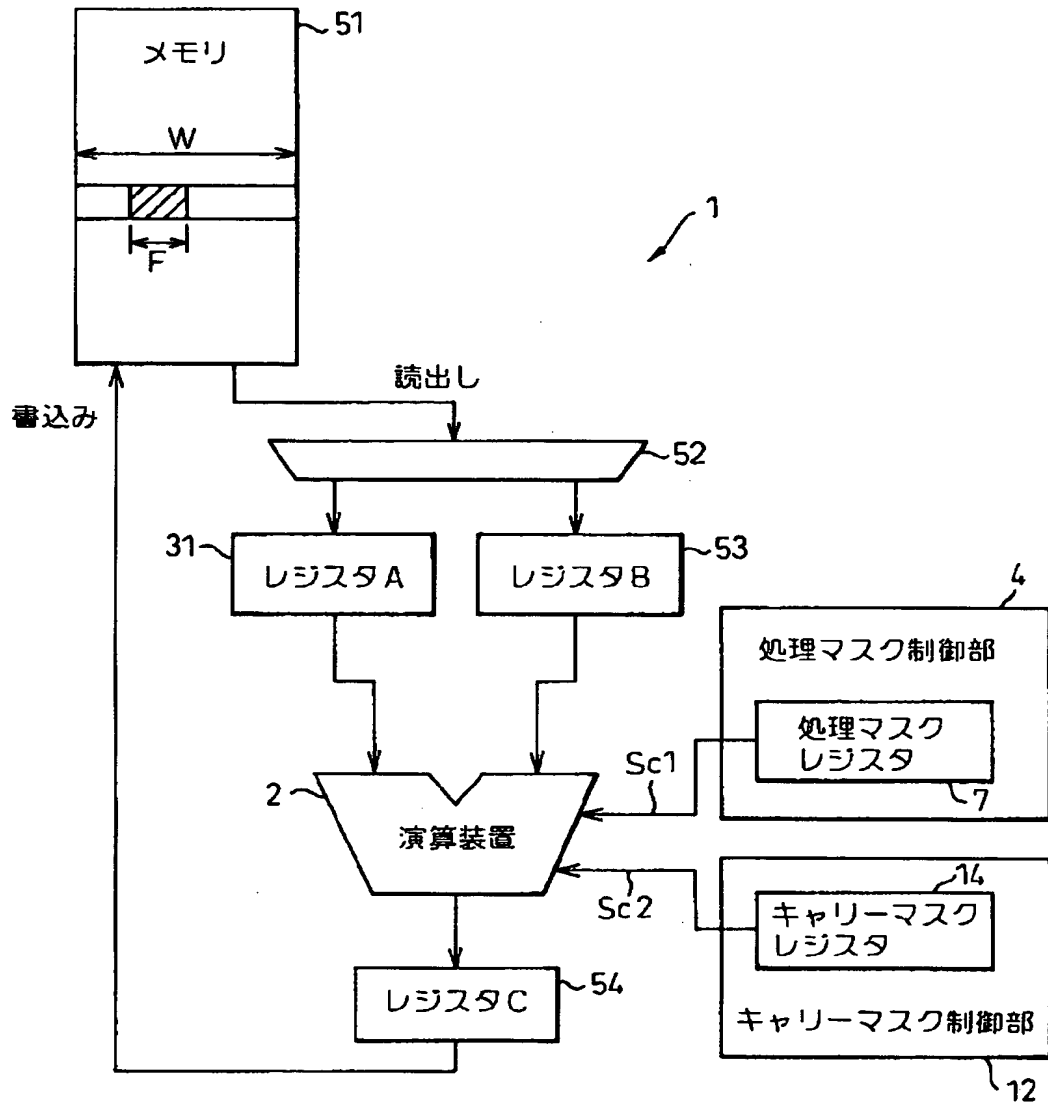


本発明に係るプロセッサの第4の主要部を示す図

【図 7】

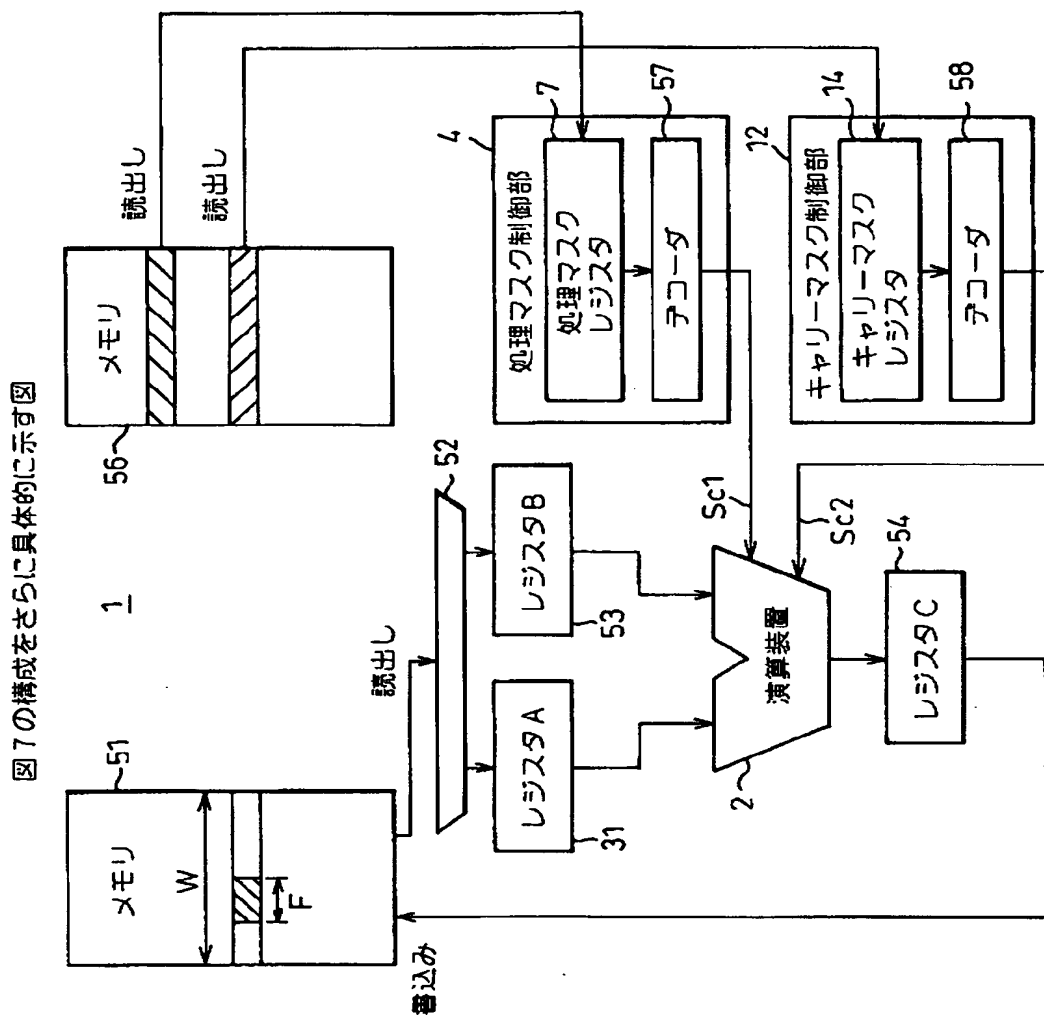
図 7

本発明に係るプロセッサの第 1 の全体構成例を示す図



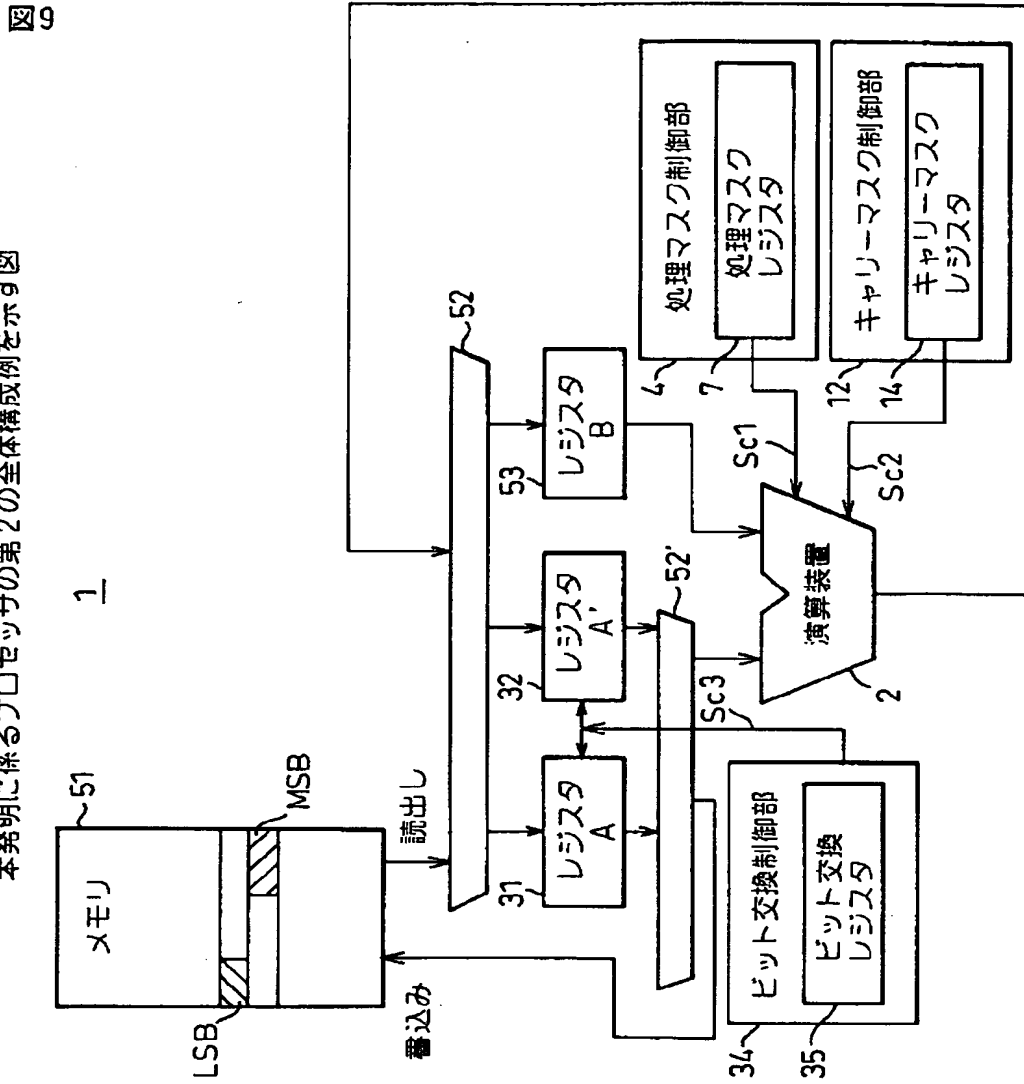
【图 8】

圖 8



【図 9】

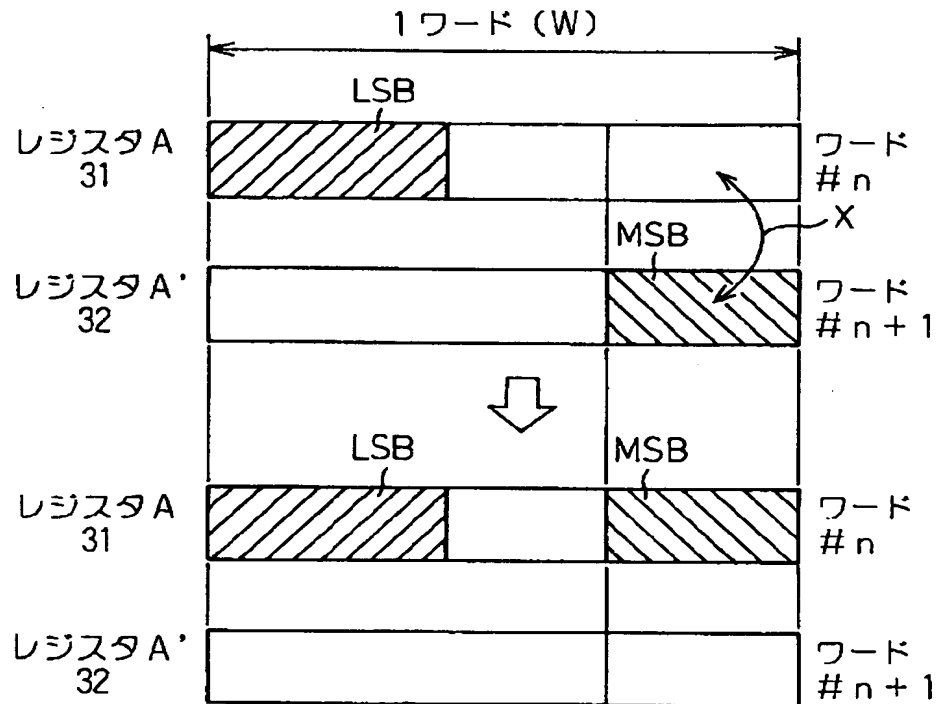
本発明に係るプロセッサの第2の全体構成例を示す図



【図 1 0】

図10

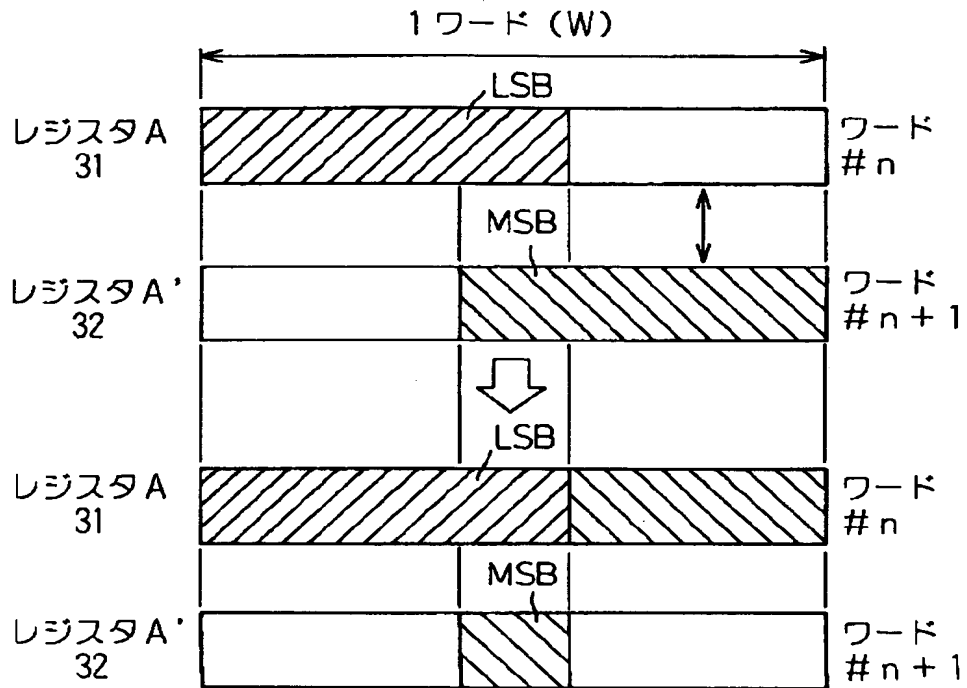
ビット交換制御部34の説明に用いるデータ構成図（その1）



【図 1 1】

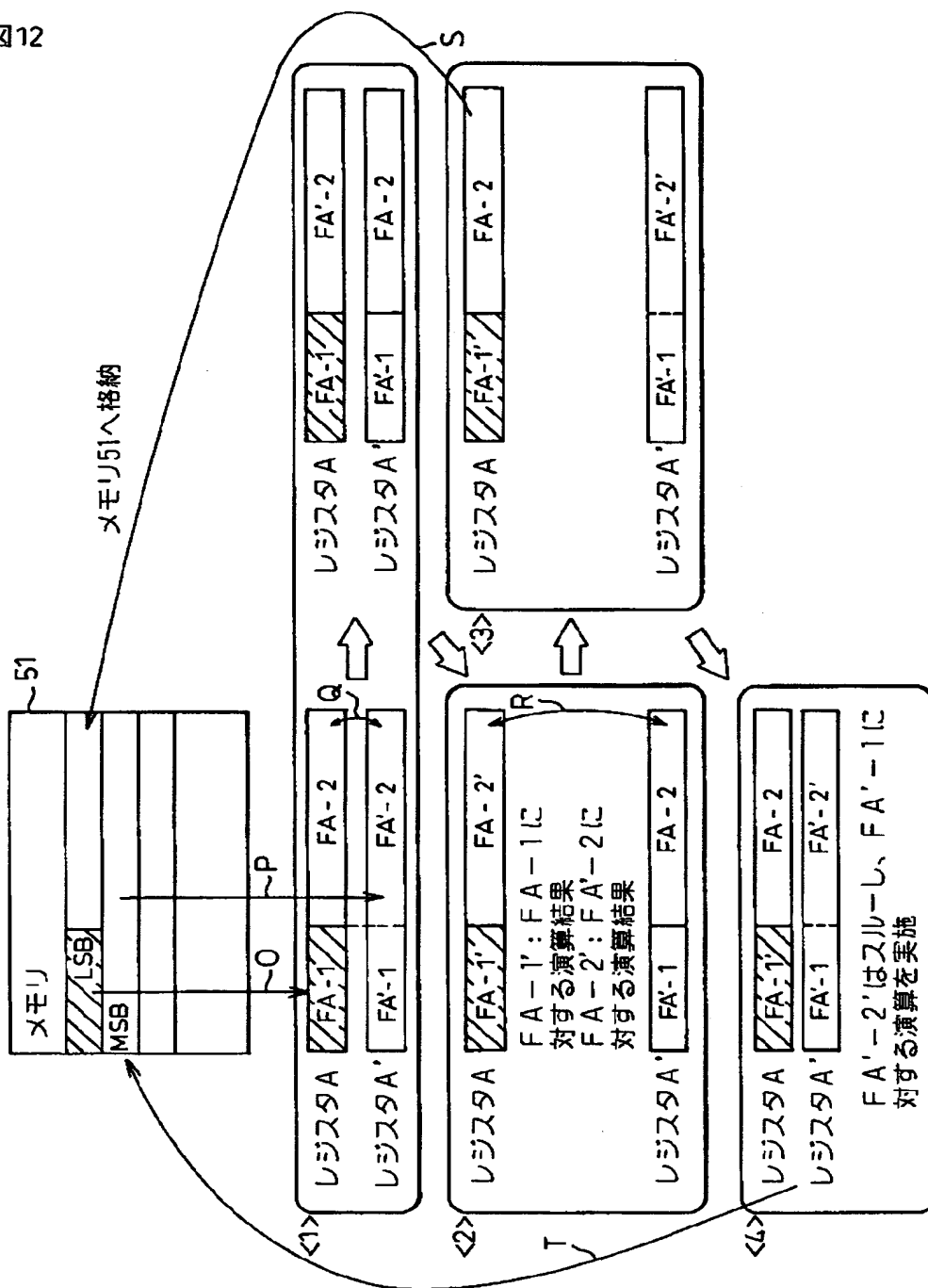
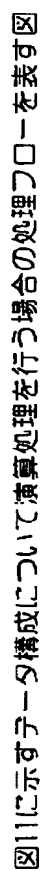
図11

ビット交換制御部34の説明に用いるデータ構成図（その2）



【图 1 2】

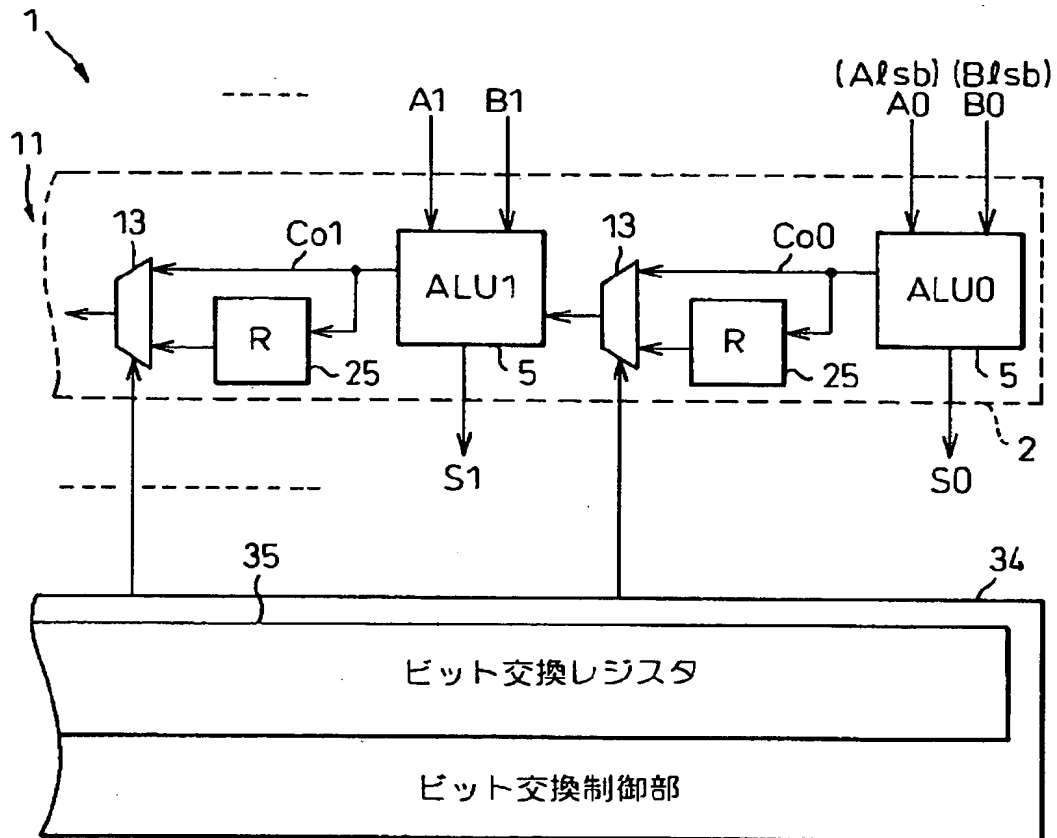
图12



【図 1 3】

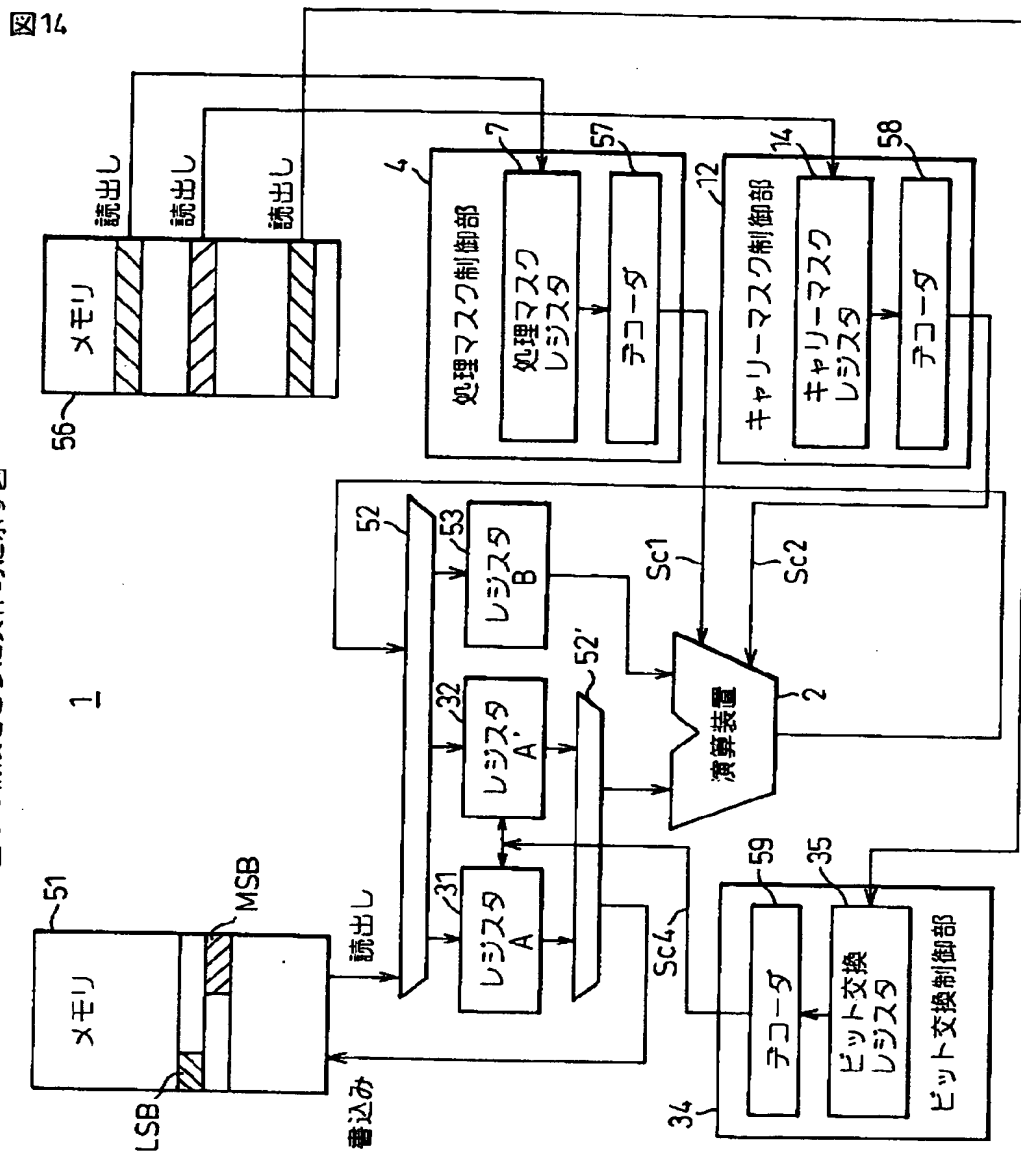
図 13

図12に表す処理フローにおいて一部採用する処理部を示す図



【図 14】

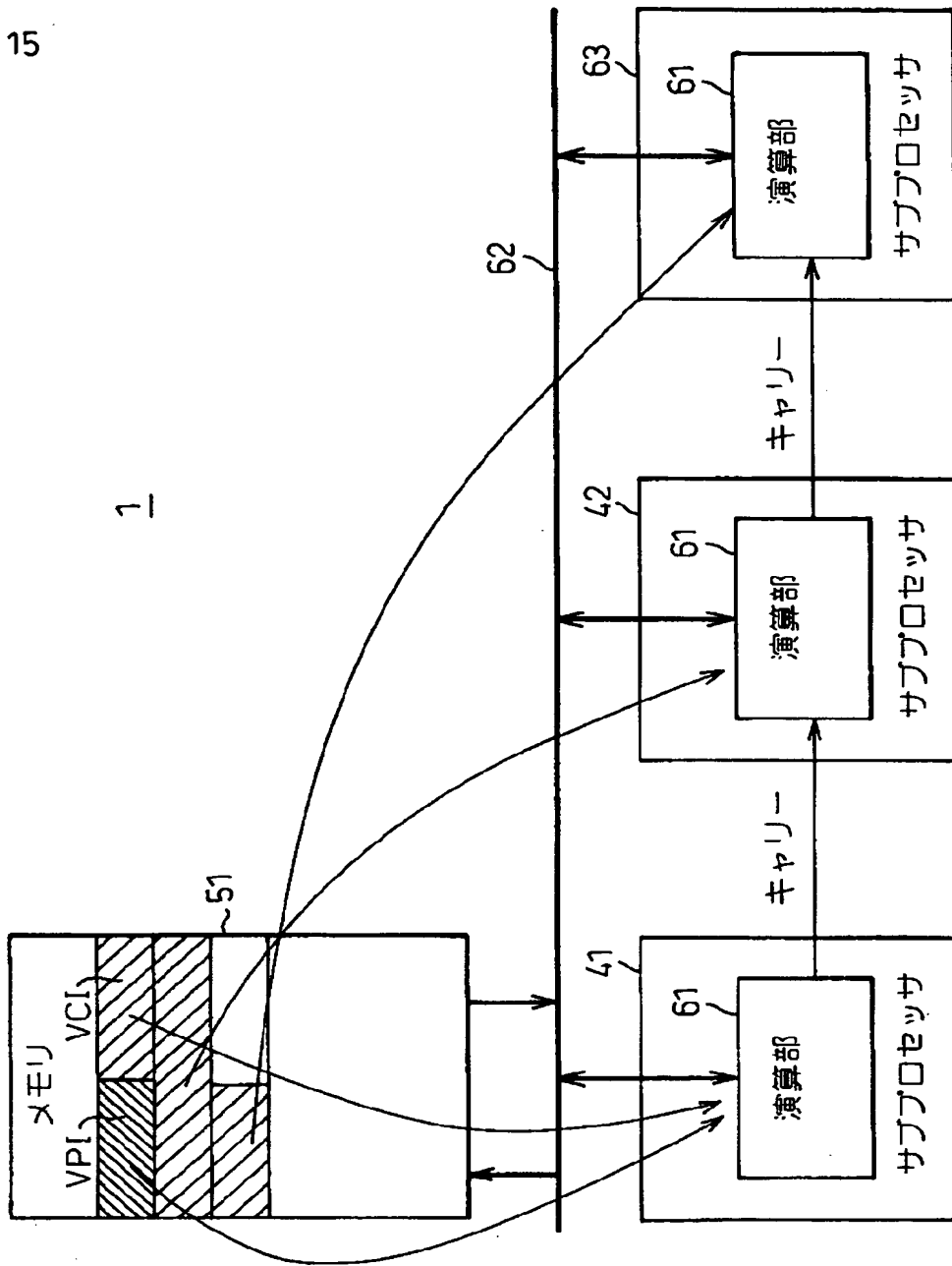
図 9 の構成をさらに具体的に示す図



【図 1 5】

図 15

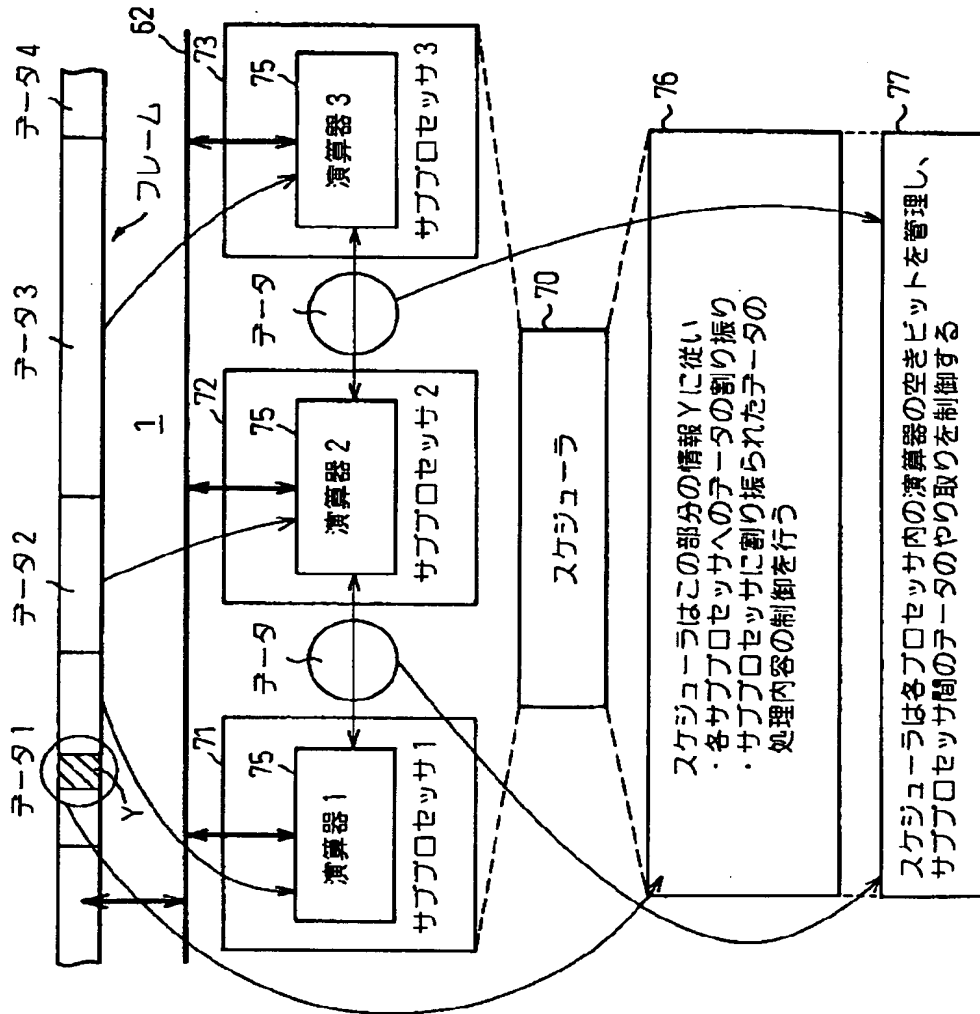
本発明に係るプロセッサの第 3 の全体構成例を示す図



【図 1 6】

図 16

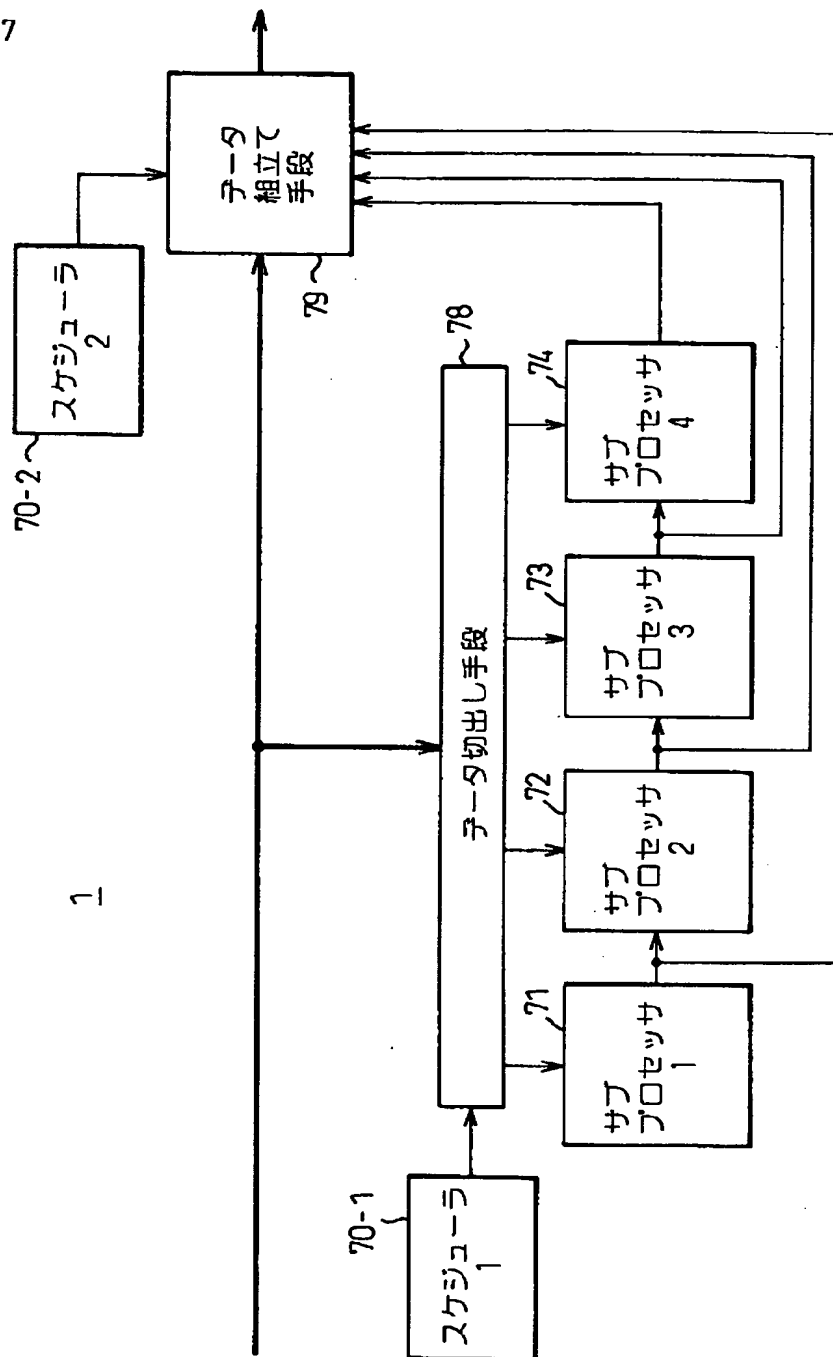
本発明に係るマルチプロセッサ構成のプロセッサ 1 を表す図



【図 17】

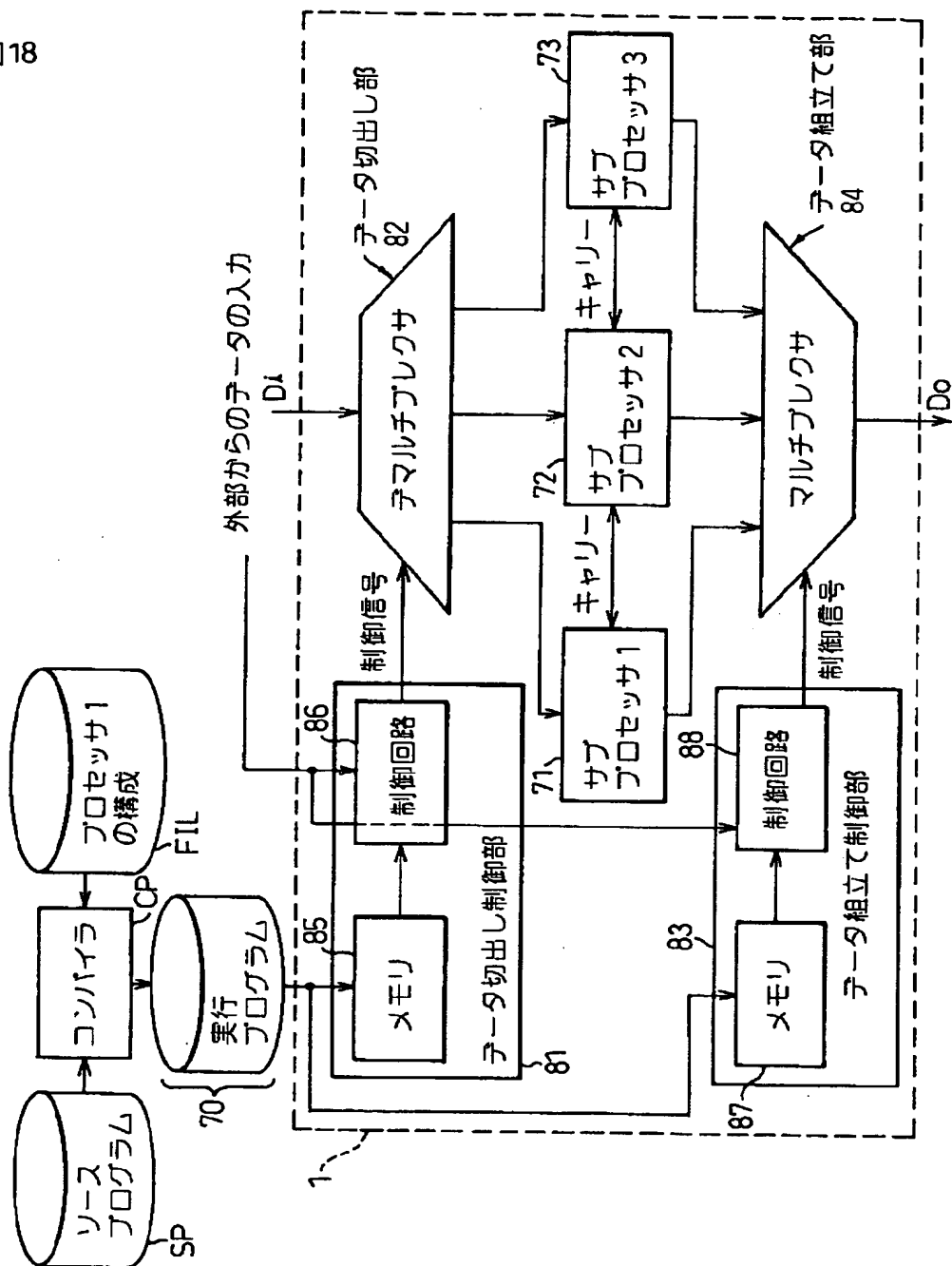
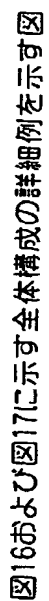
図16の全体構成例を示す図

図17



【図 18】

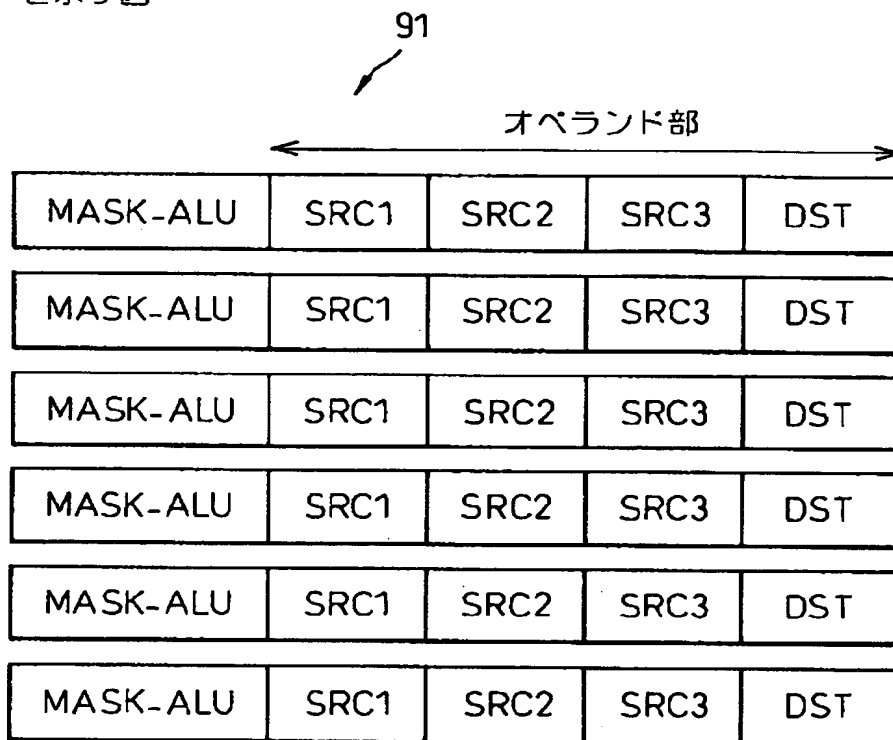
图 18



【図 1 9】

図 19

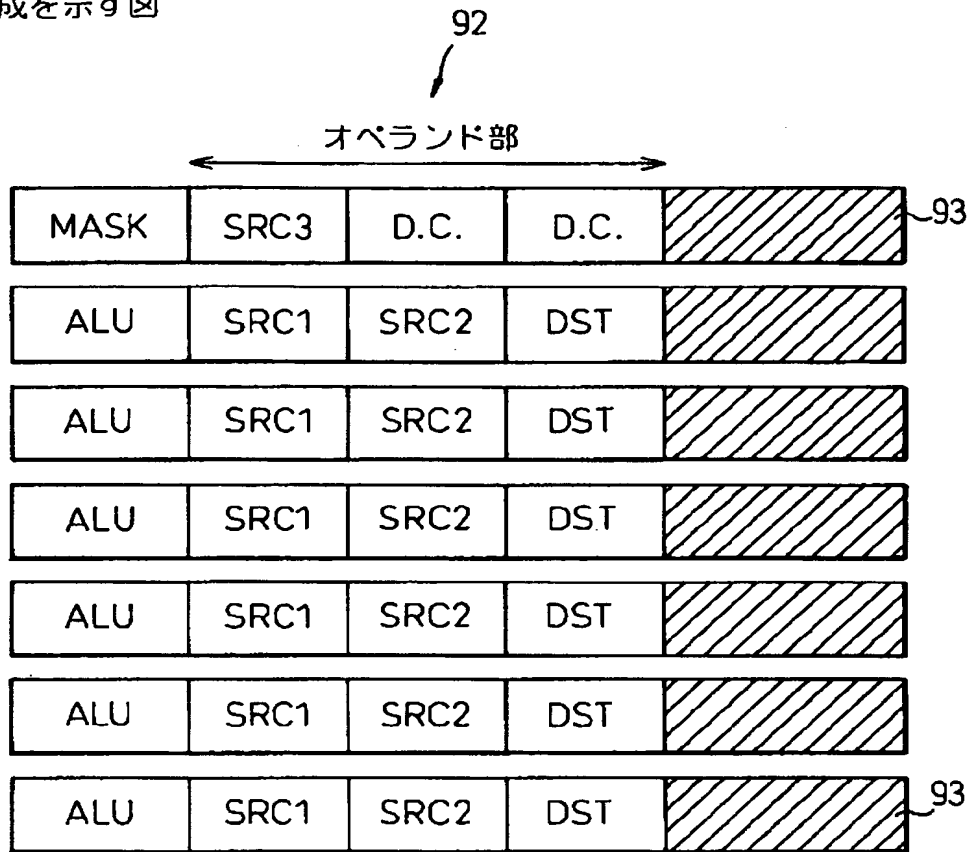
本発明に係るプロセッサを動作させるための標準的な命令構成を示す図



【図 2 0】

図 20

本発明に係るプロセッサを動作させるための本発明に基づく命令構成を示す図



(D.C.は、Don't Care)

【書類名】 要約書

【要約】

【課題】 通信用アプリケーションに好適なプロセッサであって、リアルタイム性と高速処理性に優れ、かつ、機能変更や機能追加等に柔軟に対処可能な、可変長データ処理用のプロセッサを提供する。

【解決手段】 1ワード(W)単位でビット毎にデータの演算を行う複数の演算回路5を含むプロセッサ1であって、被演算対象のデータと非演算対象のデータを区分する処理マスク制御部4と、演算回路5の間でキャリーの伝播を制御するキャリーマスク制御部12と、2つの被演算対象データ間で任意にビット入替えを行うビット交換制御部34とを含んで構成される。

【選択図】 図9

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社